



ЭЛЕКТРОННАЯ

6
1980

ПРОМЫШЛЕННОСТЬ



-X МЕРНАЯ АЛГОРИТМИЧЕСКАЯ ДИАГРАММА

УНП (В)	Код	График
-5.800	I	KKKKK.....
-5.700	I	KKKKK.....
-5.600	I	KKKKK.....
-5.500	I	KKKLLG.....
-5.400	I	KKKLLL.....
-5.300	I	KKKLLG.....
-5.200	I	KKKLLG.....
-5.100	I	KKKKLLG.....
-5.000	I	KKKKLLL.....
-4.900	I	KKKKKKLL.....
-4.800	I	KKKKKKLL.....
-4.700	I	KKKKKKLL.....
-4.600	I	KKKKKKLL.....
-4.500	I	KKKKKKLL.....

3-Х МЕРНАЯ ДИАГРАММА
X-TBA, Y-TC3PA, Z-TP3
TC3PA (NS)

Код	График
60. I	AAAAAEEEEEEEEEEEEEEEE
55. I	AAAAAEEEEEEEEEEEEEEEE
50. I	AAAAAEEEEEEEEEEEEEEEE
45. I	AAAAAEEEEEEEEEEEEEEEE
40. I	AAAAAEEEEEEEEEEEEEEEE
35. I	AAAAAEEEEEEEEEEEEEEEE
30. I	AAAAAEEEEEEEEEEEEEEEE
25. I	AAAAAEEEEEEEEEEEEEEEE
20. I	AAAAAEEEEEEEEEEEEEEEE
15. I	AAAAAADDDBDDDDDDDDDD
10. I	AAAAAEEEEEEEEEEEEEEEE
I	I---I---I---I---I---I
40. 50. 60. 70.	

ПРОГ N026 ПОЗ 01
ТЕСТ 1

ВХОДЫ	МАГИСТРАЛИ	ВЫХ
000011	0011	00
147925	3603	25
СЛОВО		
1	011110	----
2	000000	**H*
3	011111	1111
4	011111	0000 **
5	111111	1111
6	011111	1111 .B
7	011110	----

К-ЗАПИСЬ/СЧИТЫВАНИЕ
L-ЗАПИСЬ/СЧИТЫВАНИЕ ВПЕРЕД/НАЗАД
M-МАРШИРУЮЩИЕ 1 И 0
N-БЕГУЩИЕ 1 И 0
G-СКАЧУЩИЕ 1 И 0
.-ГВАДЕН

ТРЗ (NS) :

45.-A
40.-B
35.-C
30.-D
25.-E

2-Х МЕРНАЯ ЗОНЫ РАБОТ.ОСПОСОБНОСТИ

УНП (В)	Код	График
-5.800	I	---12356779...
-5.700	I	---12355679...
-5.600	I	----013546799..
-5.500	I	-----243457889...
-5.400	I013545779



1980

МИНИСТЕРСТВО ЭЛЕКТРОННОЙ ПРОМЫШЛЕННОСТИ СССР-НАУЧНО-ТЕХНИЧЕСКИЙ СБОРНИК

РЕДАКЦИОННАЯ КОЛЛЕГИЯ

А. А. Чернышев
(главный редактор)

В. А. Афанасьев
Ф. И. Бусол
А. А. Васенков
И. Н. Воженин
Е. А. Гайлиш
Г. Г. Горбунова
(ответственный секретарь)
Г. Я. Гуськов
Н. Д. Девятков
В. И. Иванов
А. Ф. Казаков
А. А. Константинов
Ю. Г. Кувшинников
Э. А. Лукин
А. А. Маклаков
В. И. Машкин
Ю. Б. Митюшин
Ю. П. Поцелуев
В. М. Пролейко (зам.
главного редактора)
Ю. А. Райнов
А. И. Савин
А. А. Сорокин
В. Д. Степанов
В. Н. Сретенский
П. М. Стуколов (зам.
главного редактора)
И. Ф. Фадеев
Я. А. Федотов
О. В. Филатов
С. К. Цаллагов

● Система "Элекон СФ" благодаря применению в ее составе функционально законченных выносных измерительных и генераторных устройств, принципов построения высокочастотного оборудования, разработке развитого программного обеспечения может широко использоваться как при оценке качества БИС на пластинах и в корпусе, так и при исследовании различных вариантов схем в процессе их проектирования.

● Метод синтеза и оптимизации принципиальных схем логических элементов позволяет генерировать множество схмотехнических решений, обладающих наилучшими электрическими и структурными характеристиками: максимальным быстродействием, минимальной потребляемой мощностью и минимальным числом транзисторов, занимающих оптимальную площадь на кристалле. Введение эвристических приемов в процедуру синтеза позволяет генерировать патентоспособные схмотехнические решения. По предварительным оценкам, синтезированные логические элементы имеют в 1,25–1,3 раза большее быстродействие, чем схемы, реализованные на типовых элементах И-НЕ, ИЛИ-НЕ.

● Проведенный анализ различных алгоритмов функционального контроля позволяет выбрать наиболее приемлемые по длительности и эффективности тесты для конкретного типа БИС ЗУ. Используя методику проведения функционального контроля, можно сформулировать основные требования к характеристикам современных контрольно-измерительных систем.

● Анализ тенденций развития методов литографии, основанный на изучении качественных изменений в микроэлектронике, роста степени интеграции и плотности упаковки, а также возможностей их реализации, позволяет достаточно обоснованно установить общий характер развития и сроки внедрения новых методов.

ЭЛЕКТРОННАЯ ПРОМЫШЛЕННОСТЬ

1980 **6**
ГОД ИЗДАНИЯ ОДИННАДЦАТЫЙ-ВЫПУСК(90)

СОДЕРЖАНИЕ

ИЗМЕРЕНИЯ И КОНТРОЛЬНО-ИЗМЕРИТЕЛЬНАЯ АППАРАТУРА

- 3 *Георгиев Н.В., Орлов Б.В.* Функциональный контроль полупроводниковых запоминающих устройств
- 21 *Грачев О.Г., Данилин Н.Н., Духовской Л.В., Попель Л.М., Слуцкий Е.Л., Шаромет О.Н.* Система "Электрон СФ" для контроля электрических параметров БИС ЗУ и микропроцессоров
- 31 *Лабутин Н.И., Мусатов Е.В., Мялкин С.И.* Методы электронной микроскопии для исследования электрически активных дефектов в диодных и транзисторных структурах БИС
- 37 *Лабутин Н.И., Парамонова В.Н., Поляков В.П.* Электрохимические методы контроля в технологии создания БИС
- 41 *Гитцевич А.Б., Крылов И.К.* Автоматизация контроля параметров светоизлучающих приборов
- 45 *Лонский И.И.* Автоматизированный контроль качества полупроводниковых планарных структур
- 49 *Баран Е.Д., Мирошников Е.Н.* Многофункциональный логический зонд
- 51 *Гаврилин Н.И., Демидова Г.Н., Журавлев Э.Н.* Характеристика МДП-структур

ИССЛЕДОВАНИЯ, РАЗРАБОТКИ. МЕТОДЫ РАСЧЕТОВ

- 52 *Кармазинский А.Н.* Теоретические основы синтеза принципиальных схем логических элементов
- 58 *Кармазинский А.Н.* Процедура синтеза принципиальных схем логических элементов на дополняющих МДП-транзисторах
- ТЕХНОЛОГИЯ**
- 64 *Глазков И.М., Райхман Я.А.* Тенденция развития методов литографии в микроэлектронике
- 71 *Чечель Н.И.* Полупроводниковая микросхема К558РР11

ТЕХНИЧЕСКИЙ ПРОГРЕСС И КАДРЫ

- 72 *Горбач С.С., Прокопьев А.А.* Задачи советов по экономическому образованию в деле совершенствования хозяйственного механизма

НОВОСТИ

- 73 *Гузенкова Н.Д.* Новости зарубежной электроники

ЭЛЕКТРОННО-ОПТИЧЕСКИЙ МИКРОСКОП

УДК 621.385.633.2



ТЕХНИЧЕСКАЯ ХАРАКТЕРИСТИКА

Граничная длина волны, мкм	1,5
Разрешающая способность по экрану	
ЗОП, пар линий/мм	40
Диаметр экрана, мм	50
Напряжение питания, В	127/220
Потребляемая мощность, Вт	20
Габариты приставки, мм	630x320x160

Предназначен для визуального наблюдения поля ИК-рекомбинационного излучения кристаллов полупроводниковых приборов, контроля работоспособности отдельных элементов интегральных схем, исследования однородности электрических и тепловых свойств структуры в целом. Предусмотрена возможность фотографирования и измерения интенсивности излучения.

Прибор состоит из оптического микроскопа и ИК-приставки на основе трехкамерного электронно-оптического преобразователя (ЗОП). Высоковольтный блок питания ЗОП размещен в корпусе приставки. ИК-изображение изучаемого участка поверхности, увеличенное оптическим микроскопом, проецируется на фотокатод ЗОП и преобразуется в видимое изображение на экране. Яркость отдельных участков пропорциональна интенсивности ИК-излучения и, следовательно, плотности тока в структуре, распределение которого определяется наличием *p-n* переходов и различного рода дефектов.

Громов В. С., Галеев А. П.

ТЕЛЕВИЗИОННЫЙ ОПТИЧЕСКИЙ МИКРОСКОП

УДК 621.397.621.386.633.2



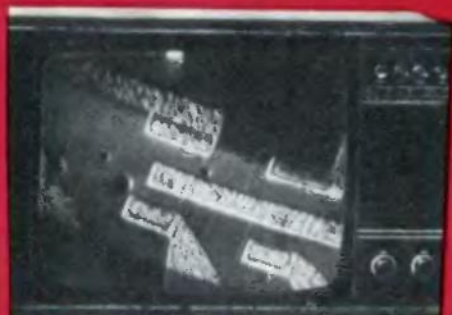
Предназначен для изучения рельефа поверхности и поверхностных физических эффектов в полупроводниковых приборах и интегральных схемах.

Позволяет наблюдать дефекты поверхности типа царапины и несплошности металлизации, перемычки между соседними дорожками, дефекты окисного слоя, загрязнения поверхности и т. п.

Телевизионный оптический микроскоп состоит из промышленной телевизионной установки ПТУ-28 и оптического микроскопа NU-2E

ТЕХНИЧЕСКАЯ ХАРАКТЕРИСТИКА

Разрешающая способность, мкм	0,3
Увеличение	10000
Потребляемая мощность, Вт	300
Габариты, мм	1700x1500x900



Установка может быть использована на этапе контроля топологии полупроводниковых структур в процессе их изготовления и при анализе отказов готовых приборов.

Громов В. С., Маняхин Ф. И.

ИЗМЕРЕНИЯ И КОНТРОЛЬНО-ИЗМЕРИТЕЛЬНАЯ АППАРАТУРА

Н.В. Георгиев, Б.В. Орлов

УДК 621.326.7

ФУНКЦИОНАЛЬНЫЙ КОНТРОЛЬ ПОЛУПРОВОДНИКОВЫХ ЗАПОМИНАЮЩИХ УСТРОЙСТВ

Непрерывное увеличение емкости, быстродействия разрабатываемых БИС ЗУ и необходимость повышения их надежности выдвигают все новые требования к характеристикам контрольно-измерительных систем для реализации функционального контроля — определяющего вида контроля качества ЗУ. Проведенный анализ различных алгоритмов функционального контроля, учитывающих особенности принципиальной схемы и топологии ЗУ, дает возможность синтезировать оптимальные по эффективности и времени функциональные тесты для конкретного типа ЗУ.

На этапах разработки и производства полупроводниковых ЗУ с различным функциональным назначением и характеристиками требуется наряду с измерением статических и динамических параметров проведение функционального контроля, обеспечивающего проверку работоспособности ЗУ в заданных условиях эксплуатации.

Общее понятие функционального контроля БИС уточняют следующие термины:

- элементарный функциональный тест (ЭФТ) – совокупность сигналов, подаваемых на вход микросхемы с целью получения результата сравнения эталонного и выходного сигналов;
- функциональный тест (ФТ) – несколько ЭФТ, выполняемых в заданной последовательности, в том числе и на основе определенного алгоритма;
- функциональный контроль (ФК) – контроль, основанный на реализации ФТ;
- низкочастотный ФК – контроль, основанный на реализации ФТ, при котором времена изменения информации на входах микросхем, периоды частоты сигналов, временные сдвиги между сигналами значительно больше величин динамических параметров микросхем, указанных в нормативно-технической документации (НТД);
- динамический ФК (ДФК) – контроль, основанный на реализации ФТ, с одновременным контро-

лем динамических параметров, установленных во временной диаграмме;

– предельный ФК – контроль, основанный на реализации ФТ, при котором период частоты равен минимальному циклу обращения к микросхеме;

– параметрический ФК – контроль, в процессе которого осуществляется проверка статических и динамических параметров микросхем;

– диагностический тест (ДТ) – ФТ, указывающий тип и место неисправностей.

Проблемы функционального контроля ЗУ.

1. Чем выше сложность и информационная емкость ЗУ, тем большей длительности ФТ необходим для контроля функции схемы в определенных условиях эксплуатации. Для ЗУ число внутренних состояний равно $\sim 2^n$, где n – число элементов памяти (ЭП) в матрице, поэтому создание ФТ для контроля всех возможных состояний при $n = 10^3 - 10^6$ не приемлемо из-за большого времени контроля. В связи с этим возникает проблема разработки такого ФТ, который обеспечивал бы эффективный ФК за минимально короткое время.

2. Эффективность ФК во многом зависит от степени знания возможных функциональных отказов для определенного типа ЗУ, зависящих от дефектов и отклонений параметров технологических процессов на отдельных этапах производства, от топологии БИС, от изменения условий эксплуатации. Относительно просто обнаружить нефункционирующую схему, имеющую полный отказ. Такие отказы БИС не устраняются путем изменения условий эксплуатации. Значительно труднее обнаружить отказы, обусловленные изменением характеристик БИС от температуры окружающей среды, напряжения питания, временных соотношений входных сигналов.

3. Другая проблема связана с выбором метода проведения контроля схем. С одной стороны, изготовитель БИС должен исключать нефункционирующие схемы, а также схемы с характеристиками, не соответствующими НТД на самом раннем этапе изготовления, т.е. на пластине. С другой стороны, параметрический ФК на пластине экономически оправдан только в том случае, когда обеспечивается высокая достоверность при малом времени контроля. Достоверность, в свою очередь, зависит от формы входных и выходных сигналов (уровней напряжения и токов), а также временных соотношений входных сигналов, поступающих по кабелю на каждый вывод ЗУ.

Изготовитель микросхем может гарантировать их работоспособность только в том случае, если проведен контроль параметров и ФК (в том числе и ДФК) в диапазоне рабочих температур и изменений напряжений питания. Достоверность проведения ДФК в диапазоне температур в основном зависит от точности установки временных соотношений, формы входных и выходных сигналов и точности их компарации.

4. Разнообразие и большое число параметров и методов ФК требуют, во-первых, создания сложных информационно-измерительных систем (ИИС) и, во-вторых, соответствующего математического обеспечения для управления ИИС, обработки результатов, для обнаружения и диагностики отказов. Различные по сложности и длительности ФТ определяют создание программно-управляемых генераторов ФТ с высокой точностью установки временных интервалов между сигналами различных каналов, а также высокоточных временных компараторов.

5. Потребитель обычно проводит входной контроль в соответствии с НТД, часто применяя собственные ФТ, разработанные с учетом особенностей работы ЗУ. Изготовитель нередко совершенствует схемотехнику и топологию кристалла с целью повышения процента выхода годных без изменения функции и характеристик схемы, что может привести к новым функциональным отказам на входном контроле потребителя. Это объясняется повышением чувствительности ЗУ к точности установки и форме входных сигналов, а также изменением входных импедансов ЗУ. Кроме того, возникновение таких отказов может быть связано с различием в применяемых установках ФК.

Методы функционального контроля ЗУ. В создание методологии ФК ЗУ почти в равной степени вносят свой вклад этапы разработки, производства и применения с учетом требований к качеству и надежности, возможностей измерительной техники.

Этап разработки предполагает, прежде всего, методы ФК, основанные на проверке правильности конструкции и характеристик ЗУ, а также возможных областей применения. На этапе применения необходимы методы ФК, включающие и системный контроль ЗУ – контроль правильности взаимодействия ЗУ с другими схемами и блоками системы. Общие задачи, которые должны решаться в процессе ФК на этих двух этапах, можно сформулировать так: проверка существования каждого внутреннего структурного элемента ЗУ; проверка связей между элементами ЗУ в процессе реальной работы; проверка выполнения всех режимов работы ЗУ и всех адресных переходов при записи и считывании информации. При ФК может быть обнаружена неодинаковая чувствительность ЗУ к

различным ФТ, что связано с внутренними паразитными емкостными и омическими связями между элементами и падением напряжения на внутренних проводниках.

Этап производства требует обеспечения максимальной производительности при проведении ФК и, следовательно, оптимизации ФТ по времени, а также стимулирует разработку нового высокопроизводительного оборудования. При контроле качества и надежности необходимо обеспечить возможность обнаружения изменений или тенденций изменений характеристик ЗУ под воздействием различных условий эксплуатации и во времени.

Из различных методов ФК БИС в настоящее время для контроля ЗУ в основном используется метод ФК с алгоритмической генерацией сигналов (рис.1) [1].

В качестве параметров – критериев годности ЗУ при реализации ФТ – устанавливаются уровни напряжения логического "0" и "1" в соответствии с НТД, контролируемые в квазистатическом режиме. Могут быть также установлены динамические параметры, если обеспечена погрешность их контроля в соответствии с НТД. На рис.2 приведены временные диаграммы режимов записи и считывания



Рис. 1. Функциональный контроль ЗУ с алгоритмической генерацией сигналов

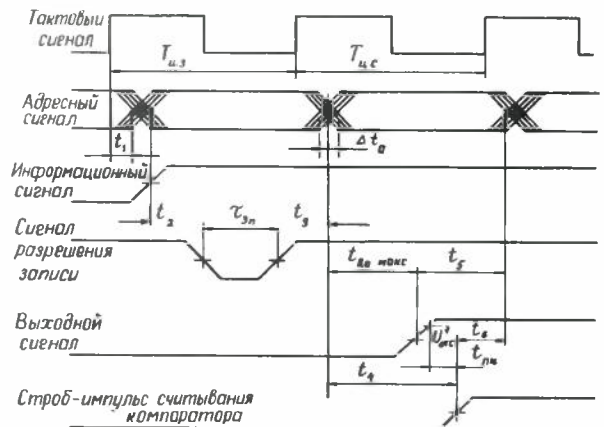


Рис. 2. Временные диаграммы работы ОЗУ в режимах записи и считывания при функциональном контроле

ния при ФК ОЗУ, где в качестве параметров-критериев годности используются динамические параметры: минимальная длительность импульса записи $t_{\text{зп}}$ и время выборки адреса $t_{\text{в.а}}$. Контроль $t_{\text{в.а}}$ производится по альтернативному принципу путем измерения напряжения на выходе через время t_4 после подачи сигнала адреса. Время выборки считается соответствующим норме, если выходное напряжение лог."0" (лог."1") через время t_4 не превышает (не менее) заданного в НТД и соответствует коду считанной информации. Время задержки строб-импульса считывания относительно сигнала адреса, например A_0 , устанавливается, исходя из следующего соотношения:

$$t_4 = t_{\text{в.а max}} + t_{\text{п.к}} + 0,5 t_{\text{ф}} + 0,5 \Delta t_{\text{а}},$$

где $t_{\text{п.к}}$ – время подготовки компаратора; $t_{\text{ф}}$ – время фронта нарастания (спада) выходного импульса; $\Delta t_{\text{а}}$ – время рассогласования между сигналами адресных входов.

При предельном ФК минимальные времена цикла записи $T_{\text{ц.з}}$ и считывания $T_{\text{ц.с}}$ устанавливаются с учетом времен $t_1 \div t_6$, в которые входят как динамические параметры, так и погрешности временной установки сигналов относительно друг друга, определяемые применяемой аппаратурой.

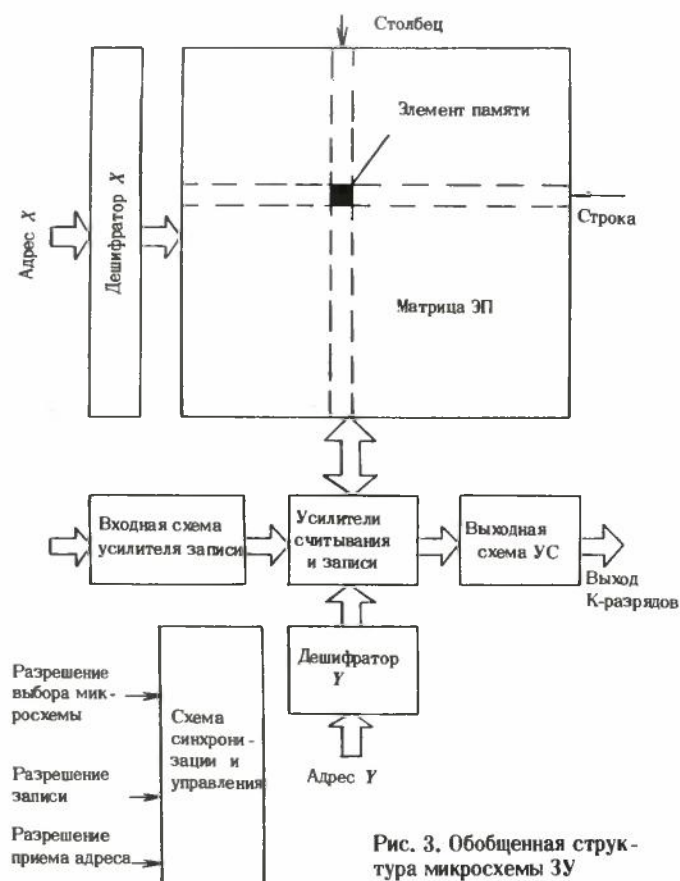


Рис. 3. Обобщенная структура микросхемы ЗУ

Эффективность ФК обеспечивается путем использования алгоритмов ФК, а также полнотой ФТ, составленных с учетом схемотехники и конструкции (топологии и технологии) микросхемы ЗУ. ФК может включать контроль статических и динамических параметров.

Виды отказов БИС ЗУ. Для создания ФТ эффективного контроля ЗУ необходимо знать структуру микросхемы, область ее работоспособности (ОР) и возможные функциональные отказы. В общем случае для БИС ЗУ можно выделить пять узлов: дешифратор адреса, матрицу ЭП, схемы записи-считывания, схемы синхронизации и управления режимами работы ЗУ, схемы входной и выходной информации (рис.3). Структурные схемы ПЗУ имеют такую же конфигурацию, за исключением схем входной информации и записи.

Неисправность БИС – это состояние БИС, вызванное отказами одного или нескольких элементов. Поскольку информация считывается из ЗУ по одному или нескольким выходам, то большинство отказов элементов, пассивных областей полупроводникового кристалла и проводников проявляются через параметрические и функциональные отказы при определенных условиях измерения или эксплуатации. Отказы активных и пассивных элементов, многоуровневых проводников и пассивных областей могут происходить по следующим причинам: замыкание или обрыв двух (или более) проводников на кристалле; отсутствие контакта проводника к полупроводниковой области или между проводниками в двухуровневой металлизации; обрыв или замыкание термокомпрессионного соединения на край кристалла; наличие тока утечки или короткого замыкания $p-n$ перехода; наличие тока утечки или замыкания через окисел ("прокол" окисла); отклонение параметров элементов от расчетных вследствие изменения удельных сопротивлений полупроводника, глубины залегания $p-n$ переходов, толщины окисла; времени жизни и подвижности носителей заряда; наличие паразитных связей, образованных топологией ЗУ и многие другие.

Исследования динамических ОЗУ на МДП приборах емкостью 4 и 16 кбит показали, что преобладающими отказами являются дефекты окисла (пробой или утечка тока) и дефекты, вызванные наличием посторонних примесей, загрязнений в полупроводнике. Последние могут привести к понижению пороговых напряжений МДП транзисторов [2]. Многие виды отказов вызываются или ускоряются под воздействием повышенных напряжений и температуры.

Функциональные отказы условно можно разделить на полные и перемежающиеся. К полным отказам относятся те, на которые не влияют изменения окружающей температуры, напряжения питания, временные соотношения входных сигналов. Не все полные отказы могут быть чувствительными к любым ФТ.

Например, если две шины выборки строки закорочены или между двумя ЭП существуют паразитные связи, обеспечивающие одновременную запись и считывание, то эти виды отказов могут быть выявлены с использованием только специальных ФТ.

Переменяющимися функциональными отказами можно называть те, которые проявляются при изменении напряжения питания, температуры окружающей среды, при воздействии допустимых статических помех, изменении динамических параметров, предельных временных соотношений входных сигналов и сигналов стробирования, при появлении допустимых импульсных помех по цепям питания и сигнальным проводникам, при наличии внутренних помех и наложении сигналов на фронтах. Отказы отдельных элементов ЗУ при крайних допустимых условиях эксплуатации могут быть чувствительными к некоторым ФТ.

Способы построения ФТ ОЗУ. Почти все методы синтеза тестов для ФК БИС, в том числе и ЗУ, основаны на использовании неисправностей логического типа, вызванных постоянными отказами, тождественными 0 или 1. Кроме того, при составлении ФТ необходимо учитывать топологические особенности ЭП, их возможное взаимовлияние, а также матрицы в целом и отдельных узлов кристалла (дешифратора, усилителя считывания и др.).

Существуют два подхода к разработке ФТ для контроля ЗУ и обнаружения отказов. Во-первых, можно рассматривать ЗУ как цифровой автомат с известной функцией, но с неизвестной внутренней структурой, топологией, видами отказов. Во-вторых, можно использовать так называемый блочный подход, когда ФТ для контроля ЗУ в целом создается из различных ФТ, контролирующих отдельные функциональные узлы или характеристики ЗУ. При этом считаются известными функциональная и электрическая схемы, топология отдельных функциональных узлов и основные виды отказов. Дальнейшая оптимизация и увеличение эффективности ФК достигается экспериментальным путем с помощью построения ОР.

При создании ФТ для контроля ОЗУ, рассматриваемого как цифровой автомат, необходима разработка некоторых логических моделей отказов. В работе [3] сформулированы общие логические модели, предложены ФТ для различных классов обнаруживаемых отказов: неограниченного числа отказов в матрице; ограниченного числа отказов в замкнутых областях (невзаимодействующих и неперекрывающихся) матрицы; одиночных отказов в открытых (незамкнутых) областях матрицы. При определении длительности ФТ для контроля ОЗУ исходили из следующих условий: операции считывания или записи могут относиться одновременно только к одному ЭП; любой ЭП может быть выбран для операции считывания или записи (их циклы равны) независимо от предыдущих операций; для выборки ЭП из матрицы используются одна адресная и одна разрядная шина.

Если рассматривать ОЗУ, имеющее 2^n различных внутренних состояний, как модель последова-

тельного цифрового автомата Мили, то длительность различных ФТ для контроля ОЗУ (табл. 1) с учетом ограничений можно определить по методике и алгоритму, изложенным в работе [3]. Длительность ФТ является в основном функцией размера области и определяется в предположении, что любой отказ в схемах управления матрицей проявляется через отказы ЭП; при операциях считывания и записи ЭП области взаимодействовали между собой в произвольной форме. Без учета реальных взаимодействий ЭП, зависящих от известных отказов, топологии, паразитных связей и т.д., выражения, приведенные в таблице, не имеют практического значения, но позволяют провести сравнительную количественную оценку способов разработки ФТ.

Рассмотрим принципы построения ФТ для контроля схем дешифратора адреса, матрицы ЭП, а также динамических параметров ОЗУ.

Таблица 1

Длительность ФТ	Характер проверки
$(3n^2 + 2n) 2^n$	Неограниченное число отказов при записи и считывании по всем адресам; взаимодействие всех ЭП для 2^n состояний матрицы
$p(3q^2 + 2q) 2^q$	Отказы в замкнутых областях матрицы и их взаимодействие в пределах области
$n(3q^2 + 2q) 2^q$	Одиночные отказы в перекрывающихся областях матрицы
$n(4q + 3) 2^q$	То же с оптимизацией по методике [3]

Примечание: n — число ЭП в матрице; q — число ЭП в области, p — число областей.

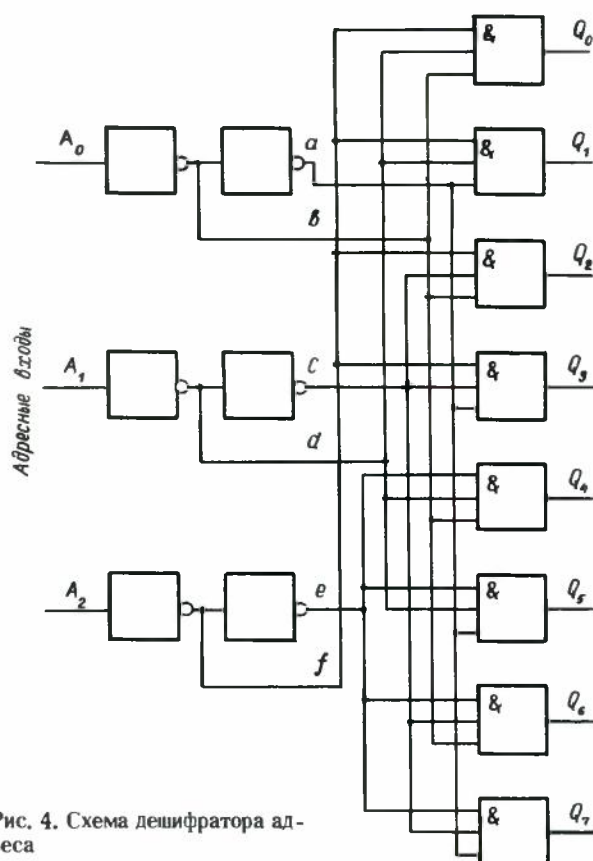


Рис. 4. Схема дешифратора адреса

Контроль дешифратора. Дешифратор адреса может иметь следующие виды функциональных отказов: отсутствие выборки определенного ЭП; выборка ЭП по различным адресам (многоадресная выборка); одновременная выборка нескольких ЭП одним адресом (неоднозначность выборки).

В схеме дешифратора строк или столбцов (рис. 4), общей для многих типов ЗУ, можно выделить входные, выходные и промежуточные (а-г)

Таблица 2

Вид отказа шин	Нумерация шин	Входной адрес A_1, A_0	Номер выбранного выхода
Замыкание между шинами	$A_0 - A_1$ $Q_0 - Q_1$	01 или 10 Любой адрес	Q_0 Нет выборки для Q_0 и Q_1
	$a - b$ $b - d$	Любой адрес 01 или 10	Нет выборки Q_1
	$a - c$ $a - d$	01 или 10 00	Нет выборки Q_2
	$b - c$	11	Нет выборки
		00 или 11	Нет выборки
Обрывы	A_0	00 10	Q_1 Q_2
	A_1	00 01	Q_1 Q_2
	Q_0	00	1. Нет выборки 2. Q_0 постоянно при любых адресах*

* Для схемы адресного управления строкой, когда обрыв соответствует выбранному состоянию ЭП.

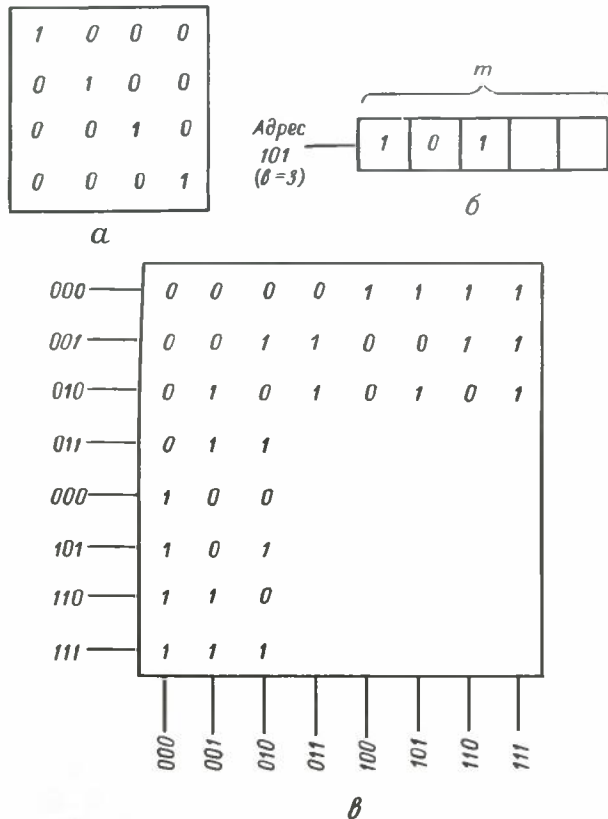


Рис. 5. Примеры заполнения матрицы ЗУ единицей в диагональ (а), кодом адреса в выбранное слово (б), кодами адресов строк и столбцов (в)

шины. Возможные функциональные отказы могут быть связаны с такими отказами, как замыкание шин, обрывы в шинах. Если на одном из выходов дешифратора устанавливается лог. "1", то это означает, что выбрана одна строка матрицы. Здесь и далее предполагается, что соседние выходы дешифратора (строки или столбцы матрицы) соответствуют соседним числам, выраженным в двоичном коде (соседним логическим адресам).

Анализ отказов дешифратора при обрывах или замыкании входных, промежуточных или выходных шин для двух входных младших разрядов проводился с учетом следующих условий: обрыв шины соответствует наличию лог. "1" на входе; при замыкании двух шин с инверсными сигналами на шинах устанавливается лог "0" (табл. 2). Указаны только те входные адреса, при подаче которых обнаруживаются функциональные отказы. Замыкания между выходными шинами приводят к невозможности выборки строки, так как на выбранной выходной шине сохраняется уровень "0" невыбранной строки. При обрыве выходных шин строка либо постоянно выбрана, либо отключена в зависимости от схемы управления адресной части. Одновременный обрыв входных шин приводит к выборке одной строки двумя адресами, отличающимися информацией на оборванной шине, а также к выбору только половины матрицы при переборе всех адресов. Необходимо разработать ФТ для проверки однозначности выборки, т.е. каждому адресу должен соответствовать только один выбранный ЭП (или группа ЭП). ФТ, получивший название "бегущая 1 (0)", дает возможность выбирать за один прогон из элемента памяти 1, а из других элементов 0, т.е. уверенность в выборке по правильному адресу только одного ЭП с правильно записанной информацией*. Длительность теста пропорциональна n^2 циклов. Если внутренняя организация ОЗУ известна, длительность ФТ может быть уменьшена. Для этого достаточно использовать ФТ "бегущая 1 (0)" в одной строке и в одном столбце. Так проверяются отдельно дешифраторы строк и столбцов. При этом, если число строк в матрице равно числу столбцов, то длительность ФТ будет пропорциональна $6\sqrt{n} + 2n$ циклов.

Для одновременного контроля дешифраторов столбцов и строк можно использовать считывание 1, записанной в диагональ матрицы (рис. 5, а). Тогда длительность ФТ будет пропорциональна $2n$ циклов. Если длина слова ОЗУ равна m , т.е. больше разрядности адреса этого слова, то код адреса всегда может быть записан в выбранное слово (рис. 5, б). После считывания кодов всех адресов устанавливается соответствие между адресами выбранного слова и считанным кодом из этого слова. Как показано выше, в большинстве случаев для ЗУ используется выборка строк и столбцов матрицы различными дешифраторами, а разрядность слова $K = 1 \div 9$. Если число ЭП в строке и в столбце больше, чем разрядность их адреса, то аналогично вышеприведенному, в соседние ЭП выбранной строки (или столбца) записывается код

*Здесь и далее название ФТ соответствует табл. 5.

адреса этой строки (или столбца). На рис. 5, в приведено состояние матрицы ОЗУ с организацией 64×1 после записи кодов всех адресов строк и столбцов. Правильное считывание соответствует правильной работе дешифраторов. Для ОЗУ с "квадратной" матрицей число строк и столбцов равно $\sqrt{n} = 2^{b/2}$, где b — суммарное число входов одинаковых двоичных дешифраторов строк и столбцов. Тогда длительность ФТ для контроля дешифратора методом записи кодов адреса равна $2b\sqrt{n}$. С помощью рассмотренных ФТ контролируется функционирование дешифратора путем проверки однозначности выборки.

Существует и другой подход к созданию ФТ для контроля дешифраторов, в соответствии с которым исследуется структура дешифратора, анализируются возможные последствия различных неисправностей, а затем создается ФТ, с помощью которого выявляется любая из этих неисправностей. Для схемы дешифратора (см. рис. 4, табл. 2) признаки четности входного адреса и реально выбранных адресов всегда противоположны друг другу. Поэтому контроль дешифратора можно провести путем записи признака четности адреса в соответствующий ЭП с последующим считыванием. Тогда указанные неисправности в дешифраторе приведут к одновременной выборке двух ЭП, содержащих противоположную информацию. К преимуществам такого подхода создания ФТ можно отнести увеличение объема информации о характере неисправностей и относительное упрощение теста [4].

Контроль матрицы ЭП. Рассмотрим некоторые виды функциональных отказов, которые могут возникнуть в матрице ЭП ОЗУ: отсутствие записи 0 или 1 (ЭП в одном состоянии); искажение информации в ЭП при записи в соседние ЭП вследствие замыкания или паразитных омических или емкостных связей между ЭП (ложная запись); появление отказов при считывании в зависимости от записанных кодов, больших токов утечки ЭП, подсоединенных к одной разрядной шине (ложное считывание).

Отказы ЭП типа обрывов или замыканий внутри них выявляются с помощью простого теста последовательной записи и считывания 0 и 1 для всех ЭП матрицы. Отказы ЗУ, связанные с замыканием между шинами в матрице, проверяются аналогично контролю дешифратора. При замыканиях между соседними ЭП в зависимости от характера замыканий информация, хранимая в соседних ЭП, совпадает или противоположна друг другу [4]. С помощью ФТ, записывающего и считывающего последовательно все 1, а затем все 0, определяются отказы ЭП, в которые записана противоположная информация. ФТ "шахматный код" выявляет отказы соседних ЭП, содержащих одинаковую информацию.

Ложная запись (или разрушение информации) в ЭП, которые не выбираются, происходит при замыканиях или образовании паразитных емкостных или омических связей между двумя ЭП, один из которых выбирается для записи; между невыбранными ЭП и шинами выборки, считывания или записи [4–7].

Наиболее распространенный способ организации матрицы ЗУ предусматривает двухкоординатную выборку по шинам X и Y с совмещением операций записи (считывания) по шине Y . Различные паразитные емкостные связи между шинами и ЭП приводят к ложной записи в невыбранный ЭП. Ложная запись в ЭП может произойти через емкости между ЭП при записи информации в соседние ЭП; через емкости между шинами и ЭП при записи в любой элемент той строки или того столбца, где находится исследуемый ЭП; через емкости между шинами. Таким образом, рассматривая общий случай влияния паразитных связей, можно отметить, что запись в любой ЭП матрицы может привести к записи в любой другой элемент или к разрушению его информации. При этом чувствительность пассивного (невыбранного) ЭП к искажающему сигналу зависит от трех факторов: крутизны фронта искажающего сигнала, величины паразитной емкости (резистивной) связи, импеданса нагрузки в пассивном ЭП.

Для выявления ложной записи в $(n-1)$ элементы памяти при записи в один ЭП противоположной информации может быть использован ФТ "бегущая 1(0)". Если же на основании экспериментальных исследований известно, что ложная запись может произойти только от соседних восьми ЭП (или от четырех без учета угловых), то целесообразно использовать ФТ "обращение к соседним адресам", состоящий из записи 1(0) в каждый соседний ЭП и считывании инверсной информации из пассивного ЭП. Длительность ФТ составит $128n$ циклов (или $32n$ циклов без угловых ЭП). Если упорядочить операции записи и считывания (табл. 3),

Таблица 3

№ циклов	Циклы ФТ "последовательное заполнение со считыванием"	Назначение циклов контроля
1	Запись 1 по всем адресам A_n	
2	Считывание 1, запись 0, увеличение адреса от A_i до A_{i+1}	0 0 0 0 } здесь переход от 1 к 0; контроль сохранения 1 при записи 0 по младшим адресам
3	Считывание 0, запись 1, увеличение адреса от A_i до A_{i+1}	1 1 1 1 } здесь переход от 0 к 1; контроль сохранения 0 при записи 1 по младшим адресам и при записи 0 в цикле 2
4	Считывание 1, запись 0, уменьшение адреса от A_i до A_{i-1}	1 1 1 1 } контроль сохранения 1 при записи 0 по старшим адресам и при записи 1 в цикле 3; здесь переход от 1 к 0
5	Считывание 0, запись 1, уменьшение адреса от A_i до A_{i-1}	0 0 0 0 } контроль сохранения 0 при записи 1 по старшим адресам и при записи 0 в цикле 4; здесь переход от 0 к 1
6	Считывание 1 по всем адресам	Контроль сохранения 1 при записи 1 в цикле 5

то можно уменьшить длительность ФТ до $10n$ циклов, сохранив при этом возможность выявления ложной записи в любом ЭП при перезаписи 1 на 0 и 0 на 1 в любой другой ЭП матрицы [4]. К недостатку такого ФТ можно отнести то, что при обнаружении ложно записанной информации в ЭП нельзя определить, от записи в какой ЭП произошел сбой.

Ложное считывание информации может возникнуть за счет так называемого "коллективного" действия элементов памяти в матрице. Суть заключается в том, что, если, например, ток утечки одного ЭП не влияет на работоспособность матрицы в целом, то при определенных кодах, записанных в столбец, в строку или в матрицу, суммарный ток утечки многих ЭП может привести к ложному считыванию информации или перезаписи информации при считывании [6, 8, 9].

Такие "коллективные" явления могут иметь место в матрицах как на биполярных, так и на МДП-транзисторах. При определенных кодах происходит уменьшение тока в разрядной шине в процессе считывания 1 или наоборот его увеличение в разрядной шине при считывании 0. В обоих случаях может произойти ложное считывание информации. "Коллективные" явления в матрицах ЭП статического типа с инжекционным питанием могут привести к ложному считыванию в зависимости от кода, записанного во все ЭП матрицы, а не только в столбец [9].

Для выявления подобного вида отказов можно применить ФТ, обеспечивающий считывание из всех ЭП столбца 0 (1) на фоне всех 0 (или всех 1 в других ЭП столбца). Этот ФТ имеет длительность $10n$ циклов. Для контроля ложного считывания в зависимости от кода всей матрицы возможно построение аналогичного ФТ, но только при считывании 1 (0) из определенного ЭП на фоне всех 1 (или всех 0 во всех ЭП матрицы). Длительность ФТ также равна $10n$. Ложное считывание, например за счет уменьшения тока считывания 1 в разрядной шине, может не проявиться при проведении ФТ, не учитывающего время выборки адреса. Этот случай будет рассмотрен ниже.

Контроль динамических параметров ОЗУ в процессе ФК. Наиболее характерные виды функциональных отказов связаны с изменением следующих динамических параметров: времени выборки адреса $t_{в.а}$; времени восстановления после записи (времени выборки считывания $t_{в.сч}$); минимального времени импульса записи $\tau_{ЭП}$; максимального периода регенерации информации для динамических ОЗУ $T_{рег}$

Время выборки адреса $t_{в.а}$ является наиболее важным параметром ЗУ. Контроль $t_{в.а}$ при одном адресном переходе осуществляется последовательной выборкой двух ЭП по разным адресам. Анализ электрических схем и временной диаграммы различных ЗУ показывает, что $t_{в.а}$ зависит, в первую очередь, от характера предыдущего обращения (считывания или записи), от записанной ин-

формации и адреса выбранного ЭП, а также от кода, хранящегося во всей матрице. Наиболее частые случаи наихудшего состояния всей матрицы: записаны все 1 и один 0, все 0 и одна 1, все 1 или 0. Времена выборки могут различаться, если в предыдущем цикле осуществлялась запись или считывание, так как потенциалы в различных узлах схем управления устанавливаются в необходимое состояние с разными временами. Время выборки адреса зависит от того, между какими адресами осуществляется переход при считывании. Это вызвано различием переходных процессов в выходных шинах адресного дешифратора и, главным образом, различием времени перезаряда паразитных емкостей адресных и разрядных шин.

В связи с вышеизложенным можно заключить, что при создании ФТ для контроля $t_{в.а}$ (в ЗУ с зависимостью $t_{в.а}$ от адреса) целесообразно обеспечить проведение всевозможных адресных переходов в матрице с всевозможными изменениями информации и типа операций относительно предыдущего обращения. Такие условия выполняются с помощью ФТ "парное обращение" [6, 10]. Для этих ФТ характерно то, что испытание каждого i -го элемента матрицы по базовому адресу A_i осуществляется путем проведения адресных переходов между адресом A_i и каждым из $(n-1)$ текущих адресов A_j матрицы ($j = 1, 2, \dots, i-1, i+1, \dots, n$). При выборке ЭП по любому адресу может выполняться запись 1 или 0, считывание 1 или 0. Следовательно, между адресами A_i и A_j , так же, как и между A_j и A_i , может быть 16 различных переходов.

В табл. 4 приведены различные адресные переходы для четырех разновидностей ФТ "парное обращение" и их характеристики. Для контроля $t_{в.а}$ наиболее оптимальным является ФТ "парное считывание" как с точки зрения выполнения условий обеспечения всех переходов, так и наименьшей длительности ФТ. Для сокращения длительности контроля ЗУ емкостью 4 кбит и более необходимо проанализировать схемотехнику ЗУ с целью нахождения наихудших по времени адрес-

Таблица 4

Наименование ФТ	Тип операции			
	Фон 0		Фон 1	
	Базовый адрес	Текущий адрес	Базовый адрес	Текущий адрес
Парное считывание	Сч.1	Сч.0	Сч.0	Сч.1
Парная запись-считывание	Сч.0	Зп.1	Сч.1	Зп.0
	Сч.0	Зп.0	Сч.1	Зп.1
Модифицированная парная запись-считывание	Сч.0	Зп.1	Сч.1	Зп.0
	Сч.0	Сч.1	Сч.1	Сч.0
	Сч.0	Зп.0	Сч.1	Зп.1
	Сч.0	Сч.0	Сч.1	Сч.1
Парная запись-считывание с полным перебором	Зп.0	Зп.1	Зп.1	Зп.0
	Сч.0	Сч.1	Сч.1	Сч.0
	Зп.0	Зп.0	Зп.1	Зп.1
	Сч.0	Сч.0	Сч.1	Сч.1

ных переходов. Величина $t_{в.а}$ определяется двумя независимыми факторами: отключением ЭП, выбранного в предыдущем цикле, от адресной и разрядной шин; подключением выбранного в данном цикле ЭП к адресной и разрядной шинам. Благодаря разным путям распространения сигналов от входов к выходам дешифратора (см.рис.4) время задержки сигнала при переходе, например, от адреса 000 к адресу 111, будет отличаться от времени задержки сигнала при переходе от адреса 110 к адресу 111. В наихудшем случае для переключения выходной шины дешифратора в выбранное состояние наиболее "медленный" адрес изменит состояние всех адресных линий (например, с 000 на 111). Для отключения выходной шины дешифратора по адресу в предыдущем цикле достаточно изменить состояние одной адресной шины. На рис. 6 приведены временные диаграммы работы ОЗУ при считывании по адресному переходу 000-111 для различных вариантов информации, записанной в предыдущем и выбираемом адресах, при условии, что время включения дешифратора больше времени выключения. Если установить максимальное значение $t_{в.а}$, как показано на рисунке, то только второй и четвертый варианты дают истинное считывание информации по адресу 111 (уровень 0 соответствует также невыбранному состоянию). Для варианта 1 может появиться паразитный импульс (ложное считывание 0), который характеризуется отсутствием выборки. Паразитный импульс возникает, когда одна адресная шина уже отключилась, а другая еще не включилась. Для варианта 3 появление паразитного импульса приведет к ложному считыванию 1. Следовательно, для

контроля наихудшего случая переадресации можно применить ФТ "обращение по прямому и дополняющему адресам", в котором при считывании используются только те адресные переходы, у которых ЭП имеют дополняющие адреса, т.е. когда изменяются все разряды при переходе от одного адреса к другому [11]. В матрице всегда одна половина ЭП имеет дополняющие адреса по отношению к другой. Тогда с учетом перебора четырех вариантов записанной информации 0 и 1 в двух ЭП, между которыми происходит адресный переход, получим длительность ФТ, равную 10 n циклов.

На рис. 6 приведен также случай, когда отключение ЭП по предыдущему адресу, например 111, происходит позже, чем выборка нового адреса 000 (адресный переход 111-000). При этом разрядная шина будет воспринимать информацию с обоих ЭП столбца (неоднозначность выборки). Тогда, если по адресу 111 записана 1, а по адресу 000 записан 0 (вариант 4), то произойдет ложное считывание 1 при заданном $t_{в.а}$. Аналогичное ложное считывание 1 происходит, если осуществляется адресный переход между любым ЭП строки, во все адреса которой записаны 1, с любым другим ЭП строки, в адреса которой записаны все 0. Для выявления подобных отказов целесообразно использовать ФТ "считывание по столбцам" [4].

Время выборки адреса зависит от тока считывания $I_{сч}$, протекающего в разрядной шине при выборке ЭП, поскольку импеданс разрядных шин носит емкостной характер (время перезаряда суммарной паразитной емкости разрядной шины является составляющей $t_{в.а}$). Наличие отклонений параметров ЭП и схем разрядного управления, а также "коллективных" явлений в матрице, рассмотренных выше, приводит к тому, что величина тока считывания может оказаться недостаточной для перезаряда емкости разрядной шины в течение заданного времени, и следовательно, может произойти повышение величины $t_{в.а}$. Этот вид отказов рассматривается как отказы, чувствительные к определенному коду, записанному в матрице, так как они проявляются не при любом коде. Вышерассмотренные ФТ для контроля "коллективных" явлений в матрице ЭП подходят и для контроля такого вида отказов.

Многие отказы дешифратора, схем управления, матрицы, ведущие к увеличению времени выборки адреса, исключаются схемотехническими решениями, применяемыми в ОЗУ, такими как внутреннее стробирование дешифратора, выходных схем и другими, используемыми в основном при проектировании МДП ОЗУ большой емкости [2].

Время восстановления после записи (время выборки считывания) $t_{в.сч}$ и минимальное время импульса записи $\tau_{ЭП}$ являются основными параметрами цикла "запись-считывание". Для контроля $t_{в.сч}$, когда считывание производится сразу после операции записи, необходимо проводить опера-

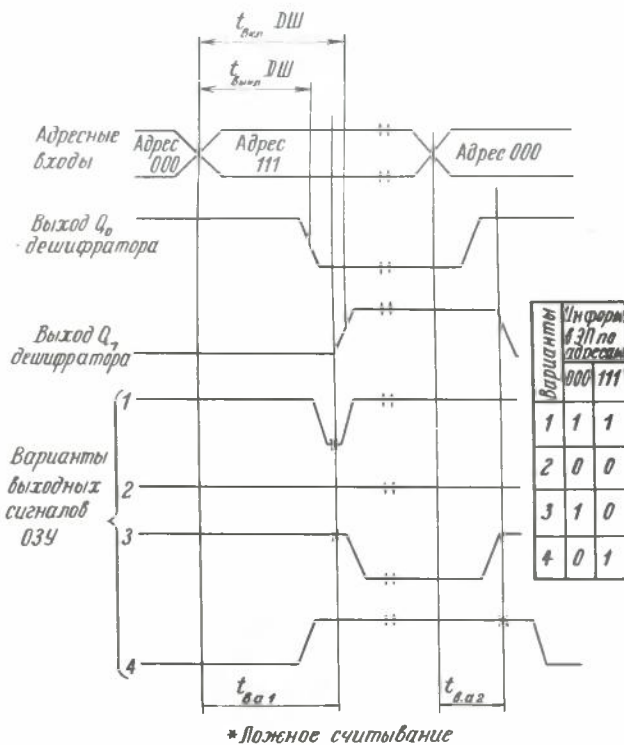


Рис. 6. Временные диаграммы работы ОЗУ в режиме считывания различных состояний ЭП

цию считывания из адреса A_i , причем считываемая информация должна быть инверсной по отношению к записанной по адресу A_j в предыдущем цикле. ФТ "попарная запись—считывание" (см. табл. 4) обеспечивает достаточно полный контроль параметров операций записи. ФТ "модифицированная попарная запись—считывание" и ФТ "попарная запись—считывание с полным перебором" еще более полно контролируют различные адресные переходы при операциях записи и считывания. При использовании этих ФТ отказы в ОЗУ могут быть выявлены путем анализа состояний выбранного ЭП по базовому адресу A_i и предыдущему текущему адресу A_j . ФТ "попарное обращение" являются универсальными для контроля операций считывания и записи, но из-за значительной длительности не могут применяться для ОЗУ емкостью более 4 Кбит и $t_{в.а} > 50$ нс. При использовании подобных ФТ для ОЗУ с высокой информационной емкостью необходимо сокращать поля текущих адресов A_j , сохраняя характер обращения к A_i и A_j . В качестве примера рассмотрим сокращение поля текущих адресов с учетом топологических особенностей кристалла ОЗУ [12]. Целесообразно формировать поле A_j из адресов тех ЭП, которые связаны с ЭП по адресу A_i адресной и разрядной шинами; непосредственно соседством на матрице (реализуется ФТ "обращение к соседним адресам" длительностью $128n$ или $32n$ циклов без учета угловых ЭП [13]). Минимальное время импульса записи контролируется при прохождении любого ФТ по правильности записи информации.

Сокращенные универсальные тесты характеризуются наименьшей длительностью, пропорциональной $n^{3/2}$ или n , поэтому для ОЗУ емкостью 4 Кбит и более их предпочтительнее применять, чем ФТ типа n^2 циклов. Необходимо учитывать выявленные топологические особенности или связи между ЭП на кристалле с целью повышения эффективности обнаружения отказов с помощью сокращенных тестов.

Максимальный период регенерации информации $T_{рег}$ в ОЗУ динамического типа определяется величинами утечки заряда с запоминающих емкостей ЭП. Контроль $T_{рег}$ может проводиться путем записи определенной информации во все ЭП матрицы ЗУ, прекращения подачи синхронизирующих сигналов и через определенное время $T_{рег}$, установленное в НТД (для современных МДП ОЗУ равно 2 мс), производится считывание записанной информации. Если наличие дефектов вызывает утечку тока, который может разрядить запоминающую емкость за время, меньшее $T_{рег}$, то произойдет по-

теря информации. Особенно критично время регенерации при повышении температуры. Период $T_{рег}$ при $T = 70^\circ\text{C}$ может в 30 раз превышать $T_{рег}$ при $T = 25^\circ\text{C}$ [14]. Регенерация информации проводится по строкам, поэтому для создания ФТ используется половина разрядов адреса ОЗУ. При считывании информации для проверки ее достоверности выборку адреса целесообразно проводить вдоль столбцов, а не вдоль строк, так как в шинах некоторых ОЗУ предусматривается автоматическое восстановление информации всех ЭП строки при считывании хотя бы из одного ЭП. Недостаток этого способа – большие температурные изменения во время паузы между записью и считыванием, обусловленные почти десятикратной разницей в потребляемой мощности. Поэтому результаты контроля $T_{рег}$ могут отличаться от измерения к измерению. Для истинного определения $T_{рег}$ необходимо повторять многократно ФК и усреднять результаты [14].

С целью повышения эффективности контроля $T_{рег}$ целесообразно имитировать реальные условия эксплуатации, т.е. в течение $T_{рег}$ производить обращения к матрице, за исключением контролируемых ЭП, на максимальной частоте. Это вызывает возникновение внутренних помех и разогрев кристалла ОЗУ. Если контролируется один столбец, то длительность обращений к остальным столбцам должна удовлетворять условию: $T_{рег} \geq (n - k) T_{ц}$, где k – число столбцов матрицы ЗУ [8, 14].

При разработке ФТ следует учитывать, что ЭП со смежными адресами не всегда являются смежными на кристалле, поскольку разработчики БИС ЗУ используют "перемешивание" адресов с целью минимизации размера кристалла.

ФУНКЦИОНАЛЬНЫЕ ТЕСТЫ

Для проведения функционального контроля ЗУ используются различные ФТ. Каждый ФТ характеризуется различной длительностью и степенью выявления функциональных отказов. Разработка многочисленных вариантов ФТ для ОЗУ вызвана поиском наиболее эффективных тестов. В зависимости от длительности контроля ФТ можно условно разделить на четыре группы: типа n циклов; типа n^2 циклов; типа $n^{3/2}$ циклов; ФТ регенерации. В табл. 5 приведены наиболее распространенные ФТ и функциональные отказы, которые они выявляют. Полная последовательность обращений всех рассматриваемых ФТ проходит как с прямой, так и с обратной информацией.

ФТ типа n циклов

1. ФТ "последовательная запись и считывание" (рис. 7, а). В матрицу ЗУ последовательно запи-

Таблица 5

Тип ФТ	№ пп.	Функциональные тесты	Длительность ФТ в циклах	Обнаруживаемые отказы									Литература
				в матрице ЗЭ			в дешифраторе			по динамическим параметрам			
				Отсутствие записи	Ложная запись	Ложное считывание	Отсутствие выборки	Многосадресная выборка	Неоднозначность выборки	$t_{ва}$	$t_{всч}$	$T_{рег}$	
n циклов	1	Последовательная запись и считывание (Write-read или MSCAN)	4n	-	o	o	o	o	o	-	o	o	14-17
	2	"Шахматный код" (Checker board)	4n	+	-	o	-	o	o	-	o	o	15, 18, 19
	3	Считывание-запись в прямом и обратном направлениях (Read-write forward and backward)	5n	+	+	-	-	-	-	-	-	o	8, 14, 20
	4	Последовательное заполнение со считыванием (March)	10n	+	+	-	-	-	-	-	-	o	4
	5	Диагональ (Diagonal)	$2(n + 2n^{1/2})$	+	-	o	+	-	+	-	o	o	4, 8, 11, 15, 16
	6	Четность (нечетность) адреса (Address parity)	4n	o	o	o	+	-	+	-	o	o	4, 8, 11, 15-17
	7	Обращения по прямому и дополняющему адресам (Masest)	10n	+	-	-	+	-	+	-	-	o	8, 11, 14, 16, 20, 21
	8	Обращение к соседним адресам (API)	128n	+	+	-	-	-	o	-	-	o	13
	9	Считывание по столбцам	8n	+	-	-	-	-	+	-	o	o	4
n ² циклов	10	Бегущая 1 (0) (Walking 1 (0))	$2(n^2 + 2n)$	+	+	+	-	-	-	-	-	o	8, 11, 14, 15, 19, 20
	11	Попарное считывание (Ping-pong)	$2(2n^2 + 2n)$	+	+	+	+	+	+	+	-	o	4, 6, 8, 11, 14, 17, 19, 21
	12	Попарное считывание с модификацией (Galloping)	$2(3n^2 + 3n)$	+	+	+	+	+	+	+	-	o	23
	13	Попарная запись-считывание (Galwrec)	$2(4n^2 - 2n)$	+	+	+	+	+	+	-	+	o	6, 8, 17, 21
	14	Попарная запись-считывание с полным перебором	$2(8n^2 - 8n)$	+	+	+	+	+	+	+	+	o	10
n ^{3/2} циклов	15	Бегущий столбец (Walking column)	$2(n^{3/2} + 3n)$	+	+	+	-	-	-	-	o	o	11
	16	Бегущая 1 (0) в столбце	$2(n^{3/2} + 4n)$	+	+	+	+	-	-	-	o	o	
	17	Бегущая строка (Walking rowbar)	$2(n^{3/2} + 3n)$	+	+	+	+	-	-	-	o	o	
	18	Бегущая 1 (0) в строке	$(2n^{3/2} + 4n)$	+	+	+	+	-	-	-	o	o	
	19	Попарное считывание по строке (Galloping column)	$2(2n^{3/2} + 3n)$	+	+	+	+	-	+	-	-	o	8, 11, 19, 24
	20	Попарное считывание по столбцу (Galloping row)	$2(2n^{3/2} + 3n)$	+	+	+	+	-	+	-	-	o	19
	21	Попарное считывание по диагонали (Galloping diagonal)	$2(2n^{3/2} + 3n)$	+	+	+	+	+	+	-	-	o	11, 19
22	Сдвигаемая диагональ (Shifted diagonal)	$2(n^{3/2} + 3n)$	+	+	-	+	+	+	-	o	o	8, 11, 16	
ФТ регенерации	23	Статический	$2(T_{рег} + 2n)$	o	o	o	o	o	o	o	o	+	14, 17, 19
	24	"Шахматный код" с регенерацией (Checkerboard refresh)	$2(n^{1/2} T_{рег} + 2n)$	+	o	o	-	o	o	o	o	+	8
	25	Возбуждение матрицы чтением строк (Row disturb)	$2 T_{рег} + 3n$	+	o	o	-	o	o	o	o	+	8, 15
	26	Возбуждение матрицы многократной записью со считыванием по столбцам	$2(n^{1/2} T_{рег} + 4n)$	+	o	o	-	o	o	o	o	+	12
	27	Возбуждение матрицы многократным считыванием из столбца (Read)	$2(n^{1/2} T_{рег} + 4n)$	+	o	+	-	o	o	o	o	+	21
	28	Возбуждение матрицы обращением по квадрату (Perimeter disturb)	$2(n T_{рег} + 2n)$	+	-	+	-	o	o	o	o	+	8, 15

+ - эффективный контроль; - неэффективный контроль; o - не контролирует.

сывается 0 (1). Затем информация последовательно считывается. ФТ обладает слабыми контролируемыми свойствами, так как гарантирует наличие по крайней мере одного годного ЭП.

2. ФТ "шахматный код" (рис. 7, б). В соседние ЭП матрицы ЗУ записывается противоположная информация. Затем все адреса последовательно считываются. ФТ выявляет короткие замыкания меж-

ду соседними ЭП, а также обнаруживает отказы при нарушении младших разрядов адреса.

Существуют две модификации ФТ. Противоположная информация записывается либо в соседние столбцы ("шахматный код" между столбцами [15, 17]), либо в соседние строки матрицы ("шахматный код" между строками [15, 17, 18]) и тем самым выявляются короткие замыкания между столбцами и между строками. В последнем случае при считывании по столбцам получается максимальное число переходов в усилителе считывания.

3. ФТ "считывание-запись в прямом и обратном направлениях" (рис. 7, *б*). В матрицу ЗУ последовательно записывается 0. Затем для каждого ЭП считывается 0 и записывается 1 при изменении адресов от A_0 до A_{n-1} . Начиная с адреса A_{n-1} , считывается 1 и записывается 0 в каждый адрес при изменении адресов от A_{n-1} до A_0 .

4. ФТ "последовательное заполнение со считыванием" (см. рис. 7, *в*) является модификацией предыдущего ФТ с целью улучшения проверки матрицы ЗУ. Описание ФТ приведено в табл. 4.

5. ФТ "диагональ" (рис. 7, *г*). В матрицу ЗУ последовательно записывается 0 (1). Затем во все ЭП, у которых адреса столбца и строки совпадают, записывается 1 (0). Считывание в матрице происходит по столбцам. ФТ выявляет отказы в работе дешифратора.

6. ФТ "четность (нечетность) адреса" (рис. 7, *д*). В каждый адрес матрицы записывается 0, если число единиц в адресном коде четно, и 1, если нечетно. Затем информация матрицы считывается последовательно по адресам. Аналогичным образом матрица заполняется нулями, если число единиц в адресном коде нечетно, и единицами, если четно. Затем матрица последовательно по адресам считывается. ФТ выявляет неисправности

дешифратора и проверяет существование отдельных ЭП.

7. ФТ "обращение по прямому и дополняющему адресам" (рис. 7, *е*). В матрицу записывается фон 1 (0). Из каждого ЭП матрицы (прямой адрес) считывается информация и записывается противоположная ей информация. Затем переходят к дополняющему адресу. Наряду с эффективной проверкой дешифратора ФТ контролирует сохранность информации в матрице при различных обращениях к ней, а также проверяет влияние операции записи на правильность выполнения операции считывания.

8. ФТ "обращение к соседним адресам" (рис. 7, *ж*). Контроль каждого ЭП матрицы проводится при проведении операций записи 0 (1) и конкретного кода в соседние "по кресту" адреса и операции считывания из проверяемого адреса и соседних "по кресту" адресов; причем эта операция повторяется для 16 различных кодовых комбинаций. Угловым соседним адресам задаются произвольные коды. ФТ осуществляет полную проверку функционирования и взаимовлияния соседних ЭП.

9. ФТ "считывание по столбцам" (рис. 7, *з*). Во все ЭП первой и последней строки записываются 1, во все другие ЭП матрицы записываются 0. Считывание происходит вдоль столбца между ЭП первой строки и другими ЭП (кроме последнего) этого столбца, затем то же самое для последней строки. Аналогичный процесс считывания происходит вдоль всех столбцов.

Помимо перечисленных ФТ типа n иногда применяются ФТ записи адреса в матрицу [4] и ФТ с перемещаемой инверсией [22], осуществляющие контроль работы дешифратора и сохранность информации в матрице при различных обращениях к ней. Последний ФТ представляет собой усложненную модификацию ФТ "последовательное заполнение со считыванием".

ФТ типа n^2 циклов

10. ФТ "бегущая 1 (0)" (рис. 8, *а*). В первый адрес A_0 записывается 1 (0) на фоне всех 0 (1). Затем все адреса последовательно считываются; последним считывается адрес A_0 с последующей записью в него 0 (1). Последовательность операций повторяется для адреса A_1 и т.д., вплоть до последнего. ФТ проверяет способность каждого ЭП переходить из 0 в 1 и обратно, а также обнаруживает влияние операции записи в отдельном ЭП на сохранность информации в матрице. Модификация ФТ направлена на сокращение его длительности ($12n$ циклов) за счет исключения операции считывания всех адресов матрицы при изменении информации в отдельном ЭП [17].

11. ФТ "парное считывание" (рис. 8, *б*). ФТ обеспечивает любые адресные переходы со всевозможным изменением информации при считывании. В адрес A_0 записывается 1 на фоне всех 0, а

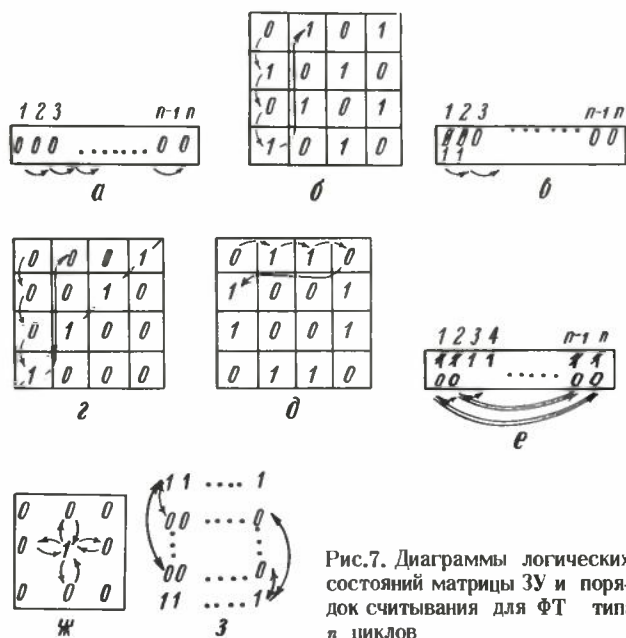


Рис.7. Диаграммы логических состояний матрицы ЗУ и порядков считывания для ФТ типа n циклов

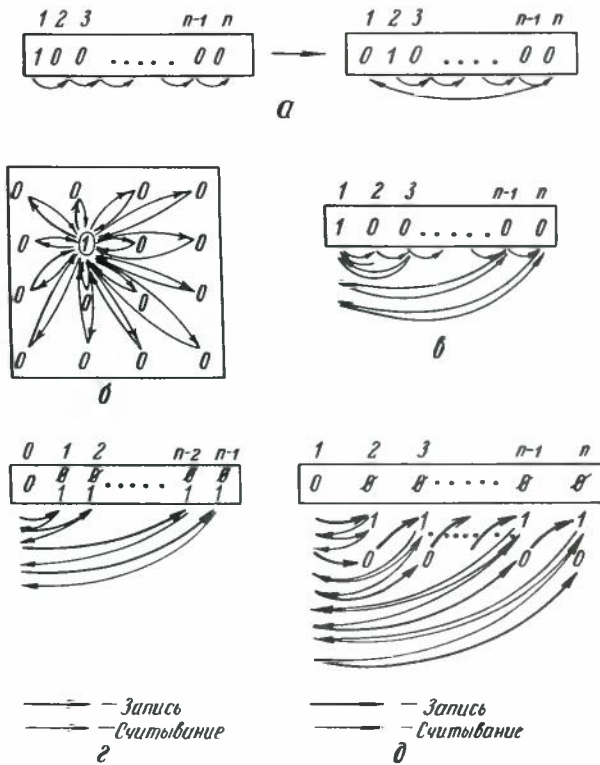


Рис. 8. Диаграмма логических состояний матрицы 3У и порядков считывания для ФТ типа n^2 циклов

далее последовательно считываются адреса A_1, A_0 , затем A_2, A_0 и т.д., пока все пары переходов, включающие адрес A_0 , не будут проверены. После этого в адрес A_0 записывается 0 и информация считывается. Подобный характер обращения между выбранным базовым адресом A_i (в данном случае A_0) и полем текущих адресов $\langle A_j \rangle$ (в данном случае $A_1, A_2, A_3, \dots, A_{n-1}$) будем в дальнейшем называть попарным считыванием между адресом A_i и полем текущих адресов $\langle A_j \rangle$. В такой же последовательности осуществляются операции для адреса A_1 и т.д. Цикл повторяется для инверсной информации. ФТ эффективно проверяет функционирование матрицы, дешифратора, параметр $t_{в.а}$, а также влияние процесса записи в отдельном ЭП на сохранность информации в матрице.

12. ФТ "попарное считывание с модификацией" (рис. 8, в). В адрес A_0 записывается 1 на фоне всех 0, а далее последовательно считываются адреса A_1, A_0, A_1 , затем A_2, A_0, A_2 и т.д., пока все пары переходов, включая адрес A_0 , не будут проверены. После этого в адрес A_0 записывается 0 и информация считывается. Последовательность операций повторяется для адреса A_1 и т.д., вплоть до последнего (блок-схема алгоритма "попарное считывание с модификацией" приведена на рис.9). По эффективности данный ФТ аналогичен предыдущему.

13. ФТ "попарная запись-считывание" (рис.8, г). ФТ обеспечивает всевозможные адресные переходы в режиме запись-считывание. В адрес A_1 записывается 1 на фоне 0 с последующим считыванием 0 из адреса A_0 . Затем в адрес A_1 записывается 0 с последующим считыванием 0 из адреса A_0 . Эта последовательность операций повторяется для адресов A_2 и A_0 и т.д. до тех пор, пока все пары $(n-1)$ адресных переходов относительно адреса A_0 не будут проверены. ФТ эффективно проверяет функционирование матрицы, дешифратора, параметры $t_{в.а}$, $t_{в.сч}$, а также влияние операции записи в отдельном ЭП на сохранность информации в матрице. Существует несколько модификаций ФТ, суть которых заключается в изменении характера обращения между базовым A_i и текущим A_j адресами (при этом изменяется контролирующая способность ФТ):

- считывание 0 (1) из адреса A_i с последующей записью 1 (0) в адрес A_j ; ухудшается контроль выборки дешифратора и параметра $t_{в.а}$ [16, 19];
- считывание 0 (1) из адреса A_j , запись 1 (0) в адрес A_i с последующим считыванием 0 (1) из адреса A_j и 1 (0) из адреса A_i и записью 0 (1) в адрес A_j с последующим считыванием 0 (1) из адреса A_i ; улучшается контроль влияния записи 0 и 1 в адрес A_j на содержимое адреса A_i [11];

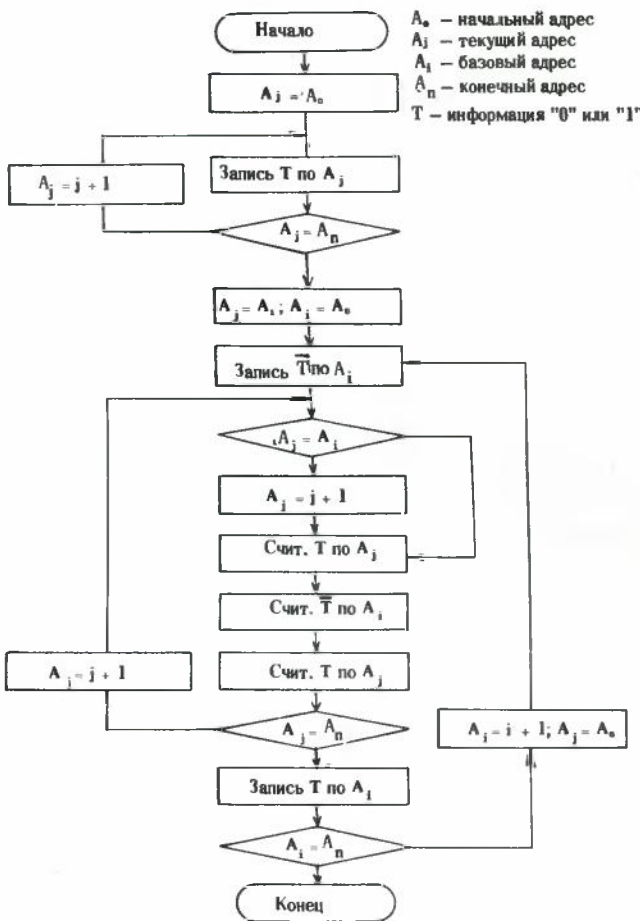


Рис. 9. Блок-схема алгоритма "попарное считывание с модификацией"

– запись 1 (0) в адрес A_j с последующим считыванием из адресов A_i, A_j, A_i и запись 0 (1) в адрес A_j с последующим считыванием из адресов A_i, A_j, A_i ; улучшается контроль параметра $t_{в.а}$ [10]. Длительность рассмотренных модификаций ФТ "попарная запись-считывание" соответственно пропорциональна $4n^2, 12n^2$ и $16n^2$ циклов.

14. ФТ "попарная запись-считывание с полным перебором" (рис. 8, д). ФТ наиболее полно реализует условие всевозможных адресных переходов в матрице с всевозможными изменениями информации и типа операций. В адрес A_1 записывается 1, а в адрес $A_0 - 0$. Затем происходит считывание информации из адресов A_1 и A_0 . Далее в адреса A_1 и A_0 записывается 0 с последующим считыванием из этих адресов. Эта последовательность операций повторяется для адресов A_2 и A_0 и т.д., пока все пары $(n-1)$ адресных переходов относительно адреса A_0 не будут проверены. Далее последовательность повторяется в отношении адреса A_1 и т.д., вплоть до последнего. ФТ является наиболее эффективным из всех рассмотренных ФТ типа n^2 циклов. ФТ "попарная запись-считывание с полным перебором" эффективно проверяет функционирование матрицы, работу дешифратора, чувствительность матрицы к различным обращениям

и контролирует основные динамические параметры $t_{в.а}$ и $t_{в.сч}$.

ФТ типа $n^{3/2}$ циклов

Для построения ФТ типа $n^{3/2}$ циклов используют те же принципы, что и для ФТ типа n^2 циклов. При этом продолжительность ФТ можно существенно уменьшить (при полном сохранении характера обращений по базовому A_i и текущему A_j адресам) за счет сокращения поля адресов $\langle A_j \rangle$, которое формируется с учетом топологических особенностей проверяемого ЗУ. При этом целесообразно формировать поле $\langle A_j \rangle$ из адресов тех ЭП, которые связаны с ЭП по базовому адресу A_i непосредственными связями или благодаря соседству на кристалле, или общими адресными и разрядными шинами, т.е. поле текущих адресов $\langle A_j \rangle$ ограничивается строкой, столбцом, диагональю и т.д. Продолжительность ФТ определяется полем $\langle A_j \rangle$ и характером обращений по адресам A_i и A_j ("попарное считывание", "попарная запись-считывание" или "полный перебор").

15. ФТ "бегущий столбец" (рис. 10, а, б). В первый столбец матрицы записывается 1 на фоне 0.

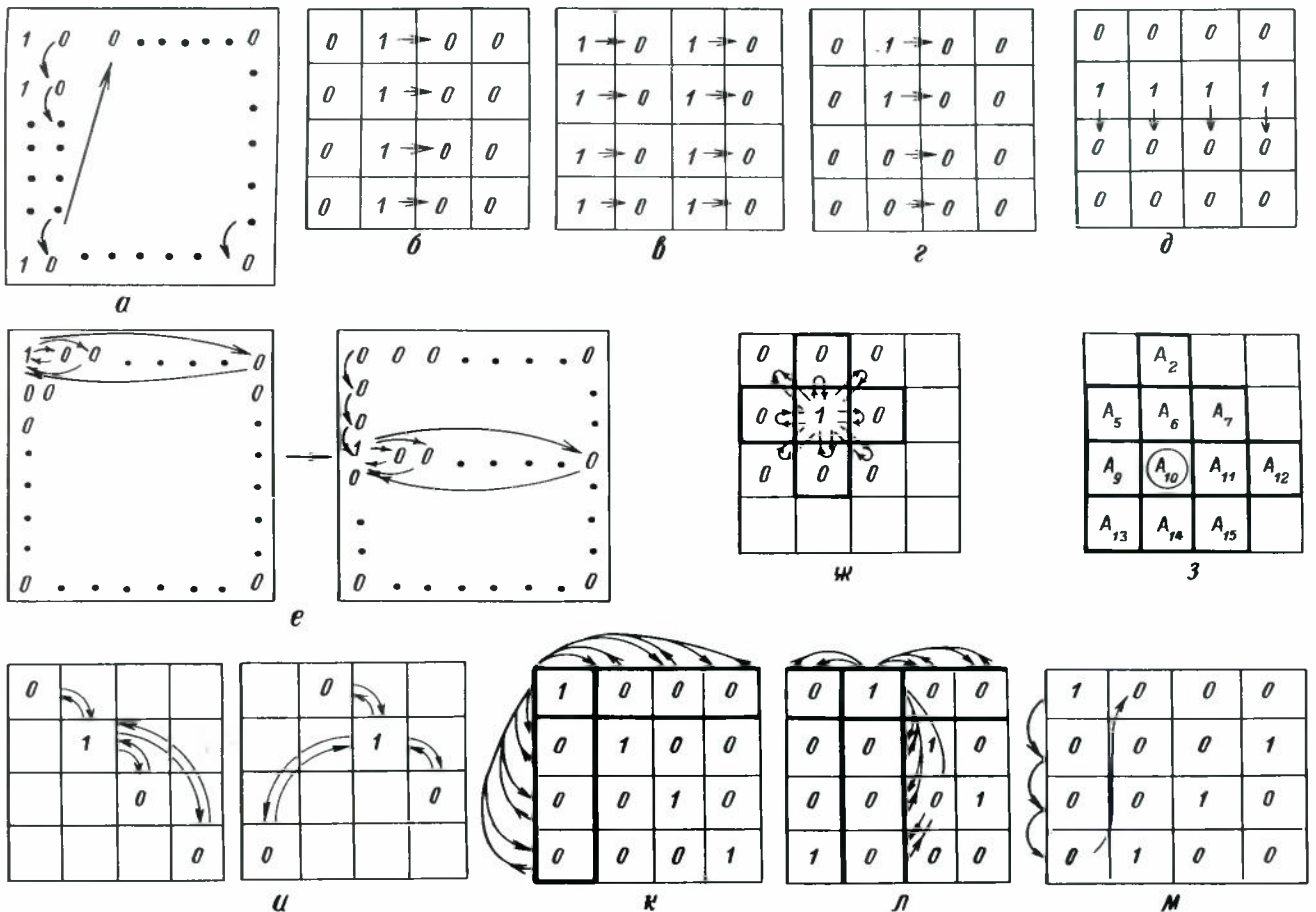


Рис. 10. Диаграммы логических состояний матрицы ЗУ и порядок считывания для ВТ типа $n^{3/2}$ циклов

Затем вся информация из матрицы считывается с последующей записью 0 в первый столбец. После -довательность операций повторяется для второго столбца и т.д., вплоть до последнего. Однако эффективность проверки дешифратора с помощью этого ФТ ниже по сравнению с ФТ типа n^2 циклов.

Существует две модификации ФТ "бегущий столбец":

— суть ФТ "бегущие столбцы" заключается в том, что запись 1 осуществляется в два столбца (номера столбцов j и $j+0,5\sqrt{n}$, где $j=0,1,\dots,0,5\sqrt{n}-1$) на фоне 0, записанных в остальные ЭП матрицы, с последующим считыванием информации из всей матрицы и записью 0 в эти столбцы (рис. 10, σ); длительность ФТ составляет $n^{3/2} + 6n$ циклов;

— суть ФТ "бегущий столбец с противоположной информацией" заключается в записи 0 в первую половину адресов первого столбца и 1 — во вторую половину с последующим считыванием и записью противоположной информации в столбец (рис. 10, τ); длительность составляет $(2n^{3/2} + 6n)$ циклов.

Эффективность данных модификаций в основном аналогична эффективности ФТ "бегущий столбец". С помощью второй модификации можно более тщательно проверять схемы дешифратора и усилителя считывания.

16. ФТ "бегущая 1 (0) в столбце". В адрес A_1 первого столбца записывается 1 на фоне 0, а в другие адреса этого столбца — 0. Затем информация из первого столбца считывается с последующей записью 0 в адрес A_1 . Последовательность операций повторяется для адреса A_2 и т.д., вплоть до последнего адреса в столбце. Аналогичная процедура проводится для каждого столбца матрицы. ФТ проверяет функционирование матрицы и работу дешифратора.

17. ФТ "бегущая строка" (рис. 10, δ). В первую строку записывается 1 на фоне 0. Информация из всей матрицы считывается с последующей записью 0 в первую строку. Последовательность операций повторяется для второй строки и т.д., вплоть до последней. По сравнению с ФТ "бегущий столбец" данный ФТ менее эффективен при проверке схем дешифратора и усилителя считывания.

18. ФТ "бегущая 1 в строке" совпадает с ФТ "бегущая 1 (0) в столбце", с той лишь разницей, что столбец заменяется строкой. При той же продолжительности данный ФТ осуществляет неполную проверку дешифратора и усилителя считывания.

19. ФТ "попарное считывание по строке" (рис. 10, e). Поле базовых адресов $\langle A_i \rangle$ включает в себя всю матрицу. Для каждого базового адреса A_i поле текущих адресов $\langle A_{ij} \rangle$ включает в себя $(\sqrt{n} - 1)$ адресов строки, на которой находится адрес A_i . ФТ проводит попарное считывание между каждым базовым адресом A_i ($i = 0, 1, \dots, n - 1$) и соответствующим ему полем $\langle A_{ij} \rangle$.

20. ФТ "попарное считывание по столбцу" аналогичен предыдущему ФТ, с той лишь разницей, что строка заменяется на столбец.

Существует три модификации двух последних ФТ, суть которых заключается в изменении поля $\langle A_{ij} \rangle$:

— для ФТ "попарное считывание по "квадрату" поле $\langle A_{ij} \rangle$ ограничено адресами, которые являются соседними с адресом A_i (рис. 10, κ). ФТ длительностью $42n$ циклов может применяться для проверки влияния соседних адресов друг на друга и контроля параметра $t_{в,а}$;

— для ФТ "попарное считывание между соседними адресами по "кресту" поле $\langle A_{ij} \rangle$ ограничено адресами, которые являются соседними с адресом A_i по "кресту" (рис. 10, λ); длительность ФТ равна $26n$ циклов;

— для ФТ "попарное считывание по "кресту" и "квадрату" поле $\langle A_{ij} \rangle$ ограничено адресами столбца и строки, определяемых базовым адресом A_i и четырьмя угловыми соседними адресами (рис. 10, ϵ); длительность ФТ составляет $2(4n^{3/2} + 7n)$ циклов. Эффективность данного ФТ близка к эффективности ФТ "попарное считывание" при более тщательном контроле влияния соседних адресов друг на друга.

21. ФТ "попарное считывание по диагонали" (рис. 10, μ) аналогичен ФТ "попарное считывание по строке", за исключением того, что поле $\langle A_{ij} \rangle$ включает в себя $(\sqrt{n} - 1)$ адресов не строки, а диагонали, на которой находится адрес A_i . Данный ФТ хорошо проверяет функционирование матрицы и работу схем дешифратора.

Модификация этого ФТ состоит в изменении поля базовых адресов $\langle A_i \rangle$. В диагональ записывается однородная информация и отсутствуют попарные обращения между адресами диагонали.

В том случае, если поле $\langle A_i \rangle$ принадлежит центральной диагонали, а поле $\langle A_{ij} \rangle$ состоит из соответствующих столбца и строки, определяемых адресом A_i (рис. 10, μ), получается ФТ "попарное считывание" при базовых адресах на фиксированной диагонали. ФТ, длительность которого составляет $2(6n - \sqrt{n})$ циклов, проверяет функционирование матрицы, работу дешифратора и контролирует параметр $t_{в,а}$ [17].

Если поле $\langle A_i \rangle$ расширяется до \sqrt{n} диагоналей (рис. 10, ν), то предыдущий ФТ превращается в ФТ "попарное считывание" при базовых адресах на перемещающейся диагонали продолжительностью $2(4n^{3/2} + 2n)$ циклов. Данный ФТ хорошо проверяет работу дешифратора [18].

ФТ попарного обращения типа $n^{3/2}$ циклов характеризуются попарным считыванием. Очевидно,

что при изменении характера обращения (например при переходе к попарной записи-считыванию или полному перебору) и при сохранении закономерно-стей формирования полей базовых $\langle A_i \rangle$ и текущих $\langle A_{ij} \rangle$ адресов будут созданы новые ФТ, отличающиеся от рассмотренных выше большей продолжительностью и более глубоким уровнем контроля.

22. ФТ "сдвигаемая диагональ". В матрицу ЗУ последовательно записывается 0 (1), а затем в центральную диагональ записывается 1 (0) с последующим считыванием информации по столбцам (см. рис. 7, 2). Подобная процедура повторяется для всех $(\sqrt{n}-1)$ нецентральных диагоналей, одна из которых показана на рис. 10, ж. ФТ эффективно выявляет неисправности в дешифраторе и в схемах усилителей считывания.

ФТ регенерации

ФТ регенерации предназначены для контроля периода регенерации $T_{\text{рег}}$ ОЗУ динамического типа и подразделяются на статические и динамические.

23. ФТ "статический". В матрицу ЗУ записывается информация, выдерживается пауза $T_{\text{рег}}$, в течение которой на ОЗУ не подаются синхронизирующие импульсы, а затем информация считывается по столбцам и сравнивается с записанной ранее.

24. ФТ "шахматный код с регенерацией" является статическим, суть которого заключается в записи "шахматного кода", выдерживании паузы $T_{\text{рег}}$ и последующем считывании информации в отдельном столбце (при этом автоматически регенерируется информация во всех строках матрицы). Процедура повторяется для следующего столбца и т.д., вплоть до последнего.

Динамические ФТ регенерации отличаются от статических тем, что в течение паузы $T_{\text{рег}}$ происходят обращения к неконтролируемым ЭП, причем характер обращений определяет особенности конкретного ФТ. Можно выделить три основных способа возбуждения матрицы ЗУ в течение прохождения динамических ФТ регенерации: обращением к отдельным строкам; обращением к отдельным столбцам; обращением к отдельным ЭП, расположенным по соседству с контролируемыми ЭП.

25. ФТ "возбуждение матрицы чтением строк". Во время паузы происходит считывание информации из нечетных строк матрицы. Затем проверяется правильность информации, записанной в контролируемые четные строки. Аналогичным образом проверяются нечетные строки матрицы ОЗУ. Основными модификациями ФТ являются:

– ФТ "возбуждение матрицы записью в строки". В нечетные (четные) строки матрицы записывается противоположная информация в течение $T_{\text{рег}}$ с последующим считыванием из контролиру-

емых четных (нечетных) строк; продолжительность ФТ составляет $2 T_{\text{рег}} + 3n$ [8, 15];

– ФТ "возбуждение матрицы записью в две строки". В i -ю строку записывается 1 (0), в $(i-1)$ -ю и $(i+1)$ -ю строки в течение $T_{\text{рег}}$ многократно записывается 0 (1) с последующим считыванием информации из i -й строки; процедура повторяется для каждой строки матрицы; продолжительность ФТ составляет $2(\sqrt{n} T_{\text{рег}} + 4n)$ [19];

– ФТ "возбуждение матрицы обращениями к строкам". Проводятся различные операции со всеми, кроме контролируемой, строками в течение $T_{\text{рег}}$ с последующим считыванием информации из контролируемой строки; продолжительность ФТ составляет $2(\sqrt{n} T_{\text{рег}} + 4n)$ [15].

26. ФТ "возбуждение матрицы многократной записью со считыванием по столбцам". В матрицу записывается определенный фон. В выбранный столбец записывается 1 (0). Во время паузы $T_{\text{рег}}$ в один из ЭП выбранного столбца многократно записывается 0 (1). Затем информация считывается по столбцам из матрицы. Данная процедура повторяется для каждого столбца.

27. ФТ "возбуждение матрицы многократным считыванием из столбца". В матрицу записывается определенный фон, а в выбранный столбец – "шахматный код". В течение паузы $T_{\text{рег}}$ происходит последовательное считывание по выбранному столбцу. При этом проверяются величины утечек тока между соседними ЭП в контролируемом столбце (утечки тока в одной строке между соседними ЭП маловероятны). Затем информация считывается из выбранного столбца. Процедура повторяется для каждого столбца.

28. ФТ "возбуждение матрицы обращениями по "квадрату". В контролируемый ЭП записывается 1(0). В течение паузы $T_{\text{рег}}$ происходят следующие многократные обращения к восьми адресам, являющимися соседними для контролируемого ЭП, запись 0 (1), считывание, запись 1 (0), считывание. Затем информация считывается из контролируемого ЭП. Процедура повторяется для всех ЭП матрицы.

При сокращении числа возбуждаемых ЭП получают модификации этого ФТ:

– при обращении к угловым соседним адресам – ФТ "возбуждение матрицы обращениями к угловым соседним адресам" [8, 15];

– при обращении к соседним адресам "по кресту" – ФТ "возбуждение матрицы обращениями к соседним адресам по "кресту" [8, 15, 21].

Обе модификации ФТ, имеющие длительность $2(n T_{\text{рег}} + 2n)$, менее эффективно контролируют $T_{\text{рег}}$ по сравнению с предыдущим ФТ.

При работе с некоторыми МДП ОЗУ статического типа емкостью 4 Кбит наблюдается потеря информации в отдельных ЭП [24]. Для контроля за этим явлением, нетипичным для ЗУ статического типа, вводится ФТ проверки сохранности инфор-

Таблица 6

БИС ОЗУ			ФТ "последовательное заполнение со считыванием" ($10n$)	ФТ "парное считывание по диагонали" ($\sim 4n^{3/2}$)	ФТ "парное считывание с модификацией" ($\sim 6n^2$)
Тип	Емкость, бит	Время цикла, нс			
ЭСЛ	4К	40	1,6 мс	41 мс	3,8 с
МДП	16К	300	48 мс	2,5 с	7,7 мин
МДП	64К	400	256 мс	26,4 с	2 ч 44 мин

Таблица 7

Составляющие контрольного ФТ	Число циклов	Число прогонов	Основное назначение
ФТ "четность (нечетность) адреса"	$4n$	4	Контроль дешифратора
ФТ "шахматный код"	$4n$	4	Контроль ложной записи
ФТ "сдвигаемая диагональ"	$2n^{3/2} + 6n$	2	Контроль усилителей считывания и дешифратора
ФТ "возбуждение матрицы записью в строки"	$2T_{рег} + 3n$	1	Контроль $T_{рег}$
ФТ "статический"	$2(T_{рег} + 2n)$	1	Контроль $T_{рег}$

Таблица 8

Тип	Схема ЭП	Элемент программирования	Способ программирования	Способ стирания
П З У		Металлическое соединение	Фотошаблон	Нет
		Контактное окно		
П З У		Металлическая перемычка	Электрическое пережигание	Нет
		p-n переход		
		Слой диэлектрика	Электрический пробой	
Р П З У		МДП-ЛИЗ транзистор	Электрический	УФ облучение
		МДП транзистор		
		МАОП транзистор		Электрический
		МНОП транзистор		
У		Аморфный полупроводниковый сплав	Электрический	

мации в таких ЗУ. В матрицу записывается фон "шахматный код" между столбцами, выдерживается пауза длительностью $T_{рег} = 10$ с. Затем происходит считывание информации из матрицы при номинальных значениях питающих напряжений. Максимальное время хранения информации (без регенерации) в отдельных ЭП матрицы уменьшается с 3 до 1 с при возрастании температуры окружающей среды от 25 до 70°C.

Показанная в табл. 5 эффективность функциональных тестов, используемых для выявления функциональных отказов и отказов по некоторым динамическим параметрам ЗУ, определялась путем аналитического рассмотрения работы каждого алгоритма ФК применительно к обобщенной структуре микросхемы ЗУ. Каждый ФТ в отдельности не обеспечивает полного функционального контроля любых типов ОЗУ. Поэтому для проведения ФК с наибольшей эффективностью следует применить совокупность некоторых вышерассмотренных тестов. Как правило, более сложные ФТ, например ФТ "парное обращение", включают в себя многие свойства более простых тестов.

Реальные условия производства и контроля БИС ЗУ накладывают ограничение на длительность применяемых ФТ. Длительности функционального контроля трех БИС ОЗУ в режиме однократного прогона различных ФТ приведены в табл. 6. Следует проводить ФК ОЗУ при граничных значениях питающих напряжений, т.е. необходимо осуществить несколько прогонов каждого применяемого ФТ. Будем считать, что длительность одного (или совокупности) ФТ, применяемых при ФК, не должна превышать 5 с. Очевидно, что ФТ типа n^2 циклов совершенно непригодны для МДП ОЗУ из-за большого времени контроля. Для ФК динамического МДП ОЗУ $16К \times 1$ с $T_{ц} = 500$ нс [2] можно применять ФТ, суммарная длительность которого соответствует $4n^{3/2} + 51n + 4T_{рег} = 4,5$ с (табл. 7).

Особенности ФК ЗУ с преимущественным считыванием информации. К запоминающим устройствам с преимущественным считыванием информации относятся ПЗУ с масочным программированием, с электрическим однократным программированием (ППЗУ) и с электрическим многократным программированием, репрограммируемые ПЗУ (РПЗУ), которые различаются элементами памяти, способами стирания и записи (программирования) информации (табл. 8).

Различные области применения ПЗУ с масочным программированием требуют большого числа модификаций кода, записанных в базовую матрицу микросхемы. Для каждой базовой матрицы (32×8 , 256×4 , 512×8 и др.) существует 2^n вариантов кодов, причем каждый вариант должен иметь свой контрольный ФТ. Суть простейшего ФК заключается

в считывании информации на выходах ПЗУ при последовательном переборе всех адресов и сравнении с эталонной микросхемой. В этом случае одновременно проверяются дешифратор и другие блоки микросхемы при длительности ФК, равной m циклов. Если же в процессе ФК контролировать $t_{в.а}$ по всем адресным переходам, то длительность теста составит $\sim 2m^2$ циклов. С целью сокращения длительности ФТ для ПЗУ большой емкости при необходимости контроля записанного кода можно также использовать ФТ "дополняющая выборка".

ПЗУ с электрическим программированием путем пережигания металлических перемычек (или пробоя $p-n$ перехода или окисла) изготавливаются и поставляются потребителю с матрицей ЭП, содержащей информацию в виде всех единиц (или всех нулей). Это свойство ППЗУ определяет специфику его контроля: специальный контроль дешифратора, контроль программирования ППЗУ, условное измерение времени выборки адреса.

Дешифратор X и Y не может быть проверен обычным способом переадресации, подобным ОЗУ или ПЗУ, поскольку на выходе будет всегда одинаковая информация. Для контроля дешифраторов ППЗУ могут быть использованы дополнительные строки и столбцы матрицы (рис. 11). Если выбрать дополнительную строку x_4 с записанным кодом (контроль по четности), то при считывании можно проконтролировать дешифратор столбцов. Записанная информация 1 или 0 в дополнительный столбец y_4 обеспечивает контроль дешифратора X при последовательном переборе всех его адресов и выборке дополнительного столбца. Чтобы не увеличивать число входов ППЗУ для выборки дополнительных строки и столбца, используются входы на три логических состояния: два состояния с нормальными логическими уровнями "0" и "1" и одно с повышенным уровнем напряжения (например, 8–12 В для ППЗУ типа ТТЛ). При этом, когда, например, на входе A_0 напряжение соответствует 10 В, а на входе A_1 – логическому уровню "0", то выбирается только дополнительная строка X_4 . В некоторых модификациях ППЗУ вводят одну-две дополнительные контактные площадки для подачи высокого напряжения при контроле дешифратора на пластине. В этом случае контроль дешифратора в корпусе уже невозможен.

Время выборки адреса ППЗУ можно измерить при переходе от одного адреса к другому, по которым в ЭП записана противоположная информация. Поэтому при выходном контроле ППЗУ по рабочим адресам нельзя измерить $t_{в.а}$. Возможен условный контроль $t_{в.а}$, если при контроле программирования оставить несколько непережженных перемычек. Этот вид контроля приемлем для тех ППЗУ, у которых для контроля дешифратора не требуется дополнительных выводов, а используются входы типа

"три состояния". Контроль дешифратора ППЗУ характерен только для выходного контроля у изготовителя схем и не регламентируется в НТД для потребителя.

Проблема контроля качества программирования ППЗУ возникает в связи с тем, что необходимо гарантировать для потребителя пережигаемость металлических перемычек в матрице без их повреждения при контроле схемы. Для этой цели можно также использовать дополнительные строки и столбцы матрицы ЭП. После контроля ДШ на пластине можно запрограммировать 0 вместо оставшихся 1 (т.е. пережечь перемычки) в дополнительных строке и столбце. Затем необходимо снова проверить при считывании наличие всех нулей в дополнительных строке и столбце, а также наличие всех единиц в рабочем поле матрицы. Последняя операция проводится с целью определения отсутствия случайно пережженных перемычек при контроле программирования.

Программирование биполярных ППЗУ обеспечивается путем электрического пережигания металлических перемычек при нормальной температуре при подаче на схему определенных электрических режимов и сигналов. Программирование осуществляется поочередно для каждого ЭП по каждому выходу при заданном адресе. Импульсы напряжения подаются на вывод "Питание" и выходной вывод после подачи кода адреса и постоянных напряжений на выходы управления. В связи с имеющимся отклонением от номинальных значений параметров пережигаемых перемычек и внутренних схем управления в микросхемах ППЗУ для пережигания используется пачка импульсов от одного до нескольких десятков при скважности 2–8 и изменяемой длительности импульсов от микро- до миллисекунд (в зависимости от типа ППЗУ). Перемычка пережигается при подаче определенного импульса. Если проводится оперативный контроль программируемости после подачи каждого импульса, то сразу же после фиксации пережигания подачу остальных

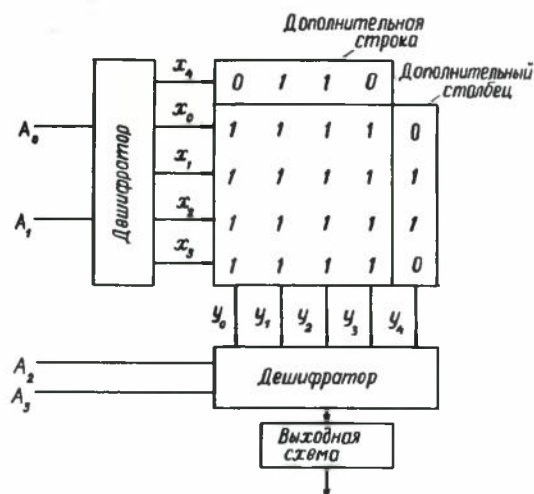


Рис. 11. Упрощенная структурная схема ППЗУ с контрольными ЭП

импульсов пачки можно прекратить и перейти к программированию по другому выходному выводу или адресу.

После программирования у потребителя рекомендуется микросхемы подвергать электротермотренировке в течение 96–168 ч при температуре 70°C (или 125°C) с последующим функциональным контролем на соответствие таблицы истинности в диапазоне рабочих температур.

РПЗУ характеризуются четырьмя режимами работы: электрическая запись и считывание информации; хранение с возможностью отключения питания; стирание информации электрическим сигналом (РПЗУ-Э) или ультрафиолетовым облучением (РПЗУ-УФ). Для различных типов РПЗУ времена выборки адреса при считывании находятся в пределах 0,3–5 мкс, а времена записи в каждый ЭП – в пределах 5–50 мс. Для РПЗУ-Э стирание производится либо по всем адресам, либо избирательно по словам (для всех ЭП одного адреса) за 5–15 мс для схемы в целом, либо для каждого адреса. Для РПЗУ-УФ операция стирания осуществляется за 15–45 мин ультрафиолетовым облучением через прозрачную кварцевую крышку корпуса. Число циклов перепрограммирования для РПЗУ составляет 10–10⁶.

В связи с большими временами записи и стирания информации ФК (при выходном контроле у изготовителя БИС) сводится к определению возможности записи 1 и 0 и считывании 1 и 0 для каждого ЭП по наиболее простому ФТ, например: запись "шахматного" кода по адресам, считывание при последовательном переборе адресов, повторение предыдущих циклов для инверсной информации.

Области работоспособности

С целью выбора наиболее эффективных ФТ для проведения ФК микросхем ЗУ, а также определения технологических запасов некоторых параметров (прежде всего динамических) следует проводить для каждого типа ЗУ экспериментальное исследование работоспособности по различным ФТ при изменении питающих напряжений, температуры, частоты обращения и др.

Область работоспособности представляет собой двух- или трехмерные диаграммы, на которых каждый символ обозначает поведение ЗУ (годная или негодная) после ФК по определенному ФТ при различных соотношениях двух или трех параметров или характеристик условий эксплуатации. ОР служит интегральной оценкой качества ЗУ, что позволяет на заключительном этапе его разработки определить наиболее эффективный ФТ и правильно выбрать нормы на параметры для НТД.

На рис. 12,а приведен пример диаграммы двухмерной алгоритмической ОР для ОЗУ емкостью 1 Кбит типа ЭСЛ при изменении напряжения питания с шагом 100 мВ и времени установки строб-

импульса считывания $t_{в.а}$, характеризующее $t_{в.а}$ (см.рис. 2), с шагом 2 нс. На каждом двухмерном шаге схема испытывалась по пяти алгоритмам: *K* – "последовательная запись и считывание"; *L* – "считывание – запись в прямом и обратном направлениях"; *M* – "последовательное заполнение со считыванием"; *N* – "бегущая 1"; *G* – "парное считывание с модификацией". Буквы на диаграмме обозначают отказ на определенном алгоритме, а знак (·) – работоспособность схемы при использовании всех пяти алгоритмов. На рис. 12, б приведена диаграмма трехмерной ОР для той же схемы с применением ФТ "парное считывание с модификацией" при изменении динамических параметров $t_{в.а}$ – координата *X*, $t_{с.зп.а}$ – координата *Y*, параметр $\tau_{зп}$ – обозначен буквами *A, B, C, D, E, F*. Буквы на диаграмме обозначают отказ при определенном значении $\tau_{зп}$.

Характер изменения ОР во времени может являться показателем качества ЗУ, так как в этом случае учитываются не только перемежающиеся отказы, но и также вызванные деградацией ЗУ.

Проведенный анализ и систематизация алгоритмов ФК и способов построения ФТ позволяют сделать следующие выводы.

С увеличением емкости ЗУ до 256 Кбит, а в дальнейшем и до 10⁶ бит на кристалле с циклом обращения 100–5000 нс при создании функциональных тестов все больший вес будут приобретать знания схемотехнических и топологических особенностей кристаллов БИС ЗУ, способствующие сокращению времени ФК. С увеличением быстро-

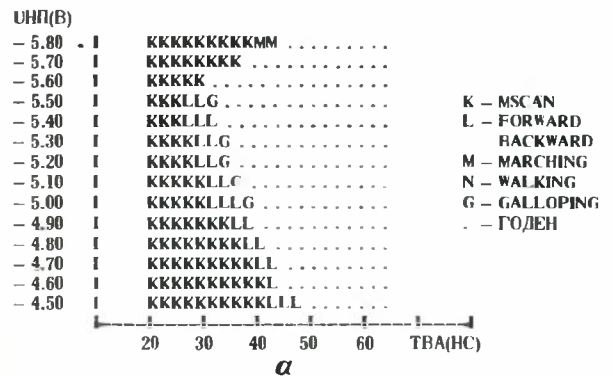


Рис.12. Диаграмма двухмерной алгоритмической (а) и трехмерной (б) области работоспособности ОЗУ

действия ЗУ емкостью 4–16 Кбит до $T_{\text{ц}} = 1-10$ нс при создании ФТ могут эффективно использоваться алгоритмы попарного обращения. Для обеспечения гарантии качества перспективных ЗУ в обоих случаях необходимо проведение динамического ФК, т.е. достоверного контроля динамических параметров (с погрешностью, указанной в НТД на БИС ЗУ) при крайних значениях напряжений питания и диапазона рабочих температур. На основании полученных результатов можно сформулировать требования к объему памяти, частотным свойствам, точностям установки временных диаграмм и компарации сигналов с целью разработки соответствующего контрольно-измерительного оборудования.

ЛИТЕРАТУРА

1. Грачев О.Г., Данилин Н.Н., Духовской Л.В., Попель Л.М., Слуцкий Е.Л., Шаромет О.Н. Система "Элекон СФ" для контроля электрических параметров БИС ЗУ и микропроцессоров. — Наст. вып. с. 21.
2. Henson G. Testing requirements for 16K RAMs. — Electron, 1979, 27 Nov./4 Dec., p.22–27.
3. Hayes S.P. Detection of Pattern-sensitive faults in random Access Memories. — IEEE on Computers, 1975, vol.C–24, N 2.
4. Cocking S. RAM-test patterns and test strategy semicond. test. — In: Symp. Mem.LSI, Lin.IC. Cherry Hill. N.S., 1975. New York, 1975, p.1–8.
5. Palfi T.L. MOS-memory system reliability. — In: Semicond. Test. Simp. Mem., LSI, Lin.IC, Cherry Hill. N.Y. 1975. New York, 1975, p.37–46.
6. Тесты для функционального контроля интегральных систем памяти /Н.В.Георгиев, А.А.Крупский, В.А.Седлов, Л.О.Чутуев, А.П.Владыкин. — Вопросы радиоэлектроники. Сер.ЭВТ, 1974, вып.7, с.65–76.
7. Gromer E.G. Testing semiconductor memories. — Electronics packaging and production, Feb.1974, vol.14, N 2, p.20–36.
8. Hnatek E.R. 4-kilobit memories present a challenge to testing. — Computer Design., 1975, May, vol.14, N 5, p.117–125.
9. Орликовский А.А., Мамедов Т.Л., Сергеев А.Г. Коллективные явления в статических накопителях с инжекционным питанием. — Микроэлектроника, 1978, т.7, вып.3, с.228.
10. Васин С.И., Георгиев Н.В., Крупский А.А. Контроль интегральных полупроводниковых ЗУ ЦМ высокой производительности. — Вопросы радиоэлектроники. Сер.ЭВТ, 1976, вып.8, с.94–102.
11. Marshall M. Through the memory cells further explorations of IC's in Testland. — EDN, 1976, N 3, p.77–84.
12. Райли. Трудности разработки испытательного оборудования для полупроводниковых матриц емкостью 4 Кбит. — Электроника. Пер. журн. США "Electronics", 1973, т.46, № 26, с.80–83.
13. Spini V.P. API tests for RAM chips. — Computer, 1977, N 7, p.32–35.
14. Husain S.F., Chiang A.C.L., Dobson J.J. Military specification for semiconductor memories. — In: Semicond. Test. Symp. Mem., LSI, Lin. IC. Cherry Hill, N.Y., 1975. New York, 1975, p.30–36.
15. Huston R.E. Testing semiconductor memories. — In: Digest of Papers, 1973, Symposium on Semiconductor Memory Testing, p.27–62.
16. Fischer T.E. Test problems and solutions for 4K RAMs. — Digest of Papers, 1974 Semiconductor Test Symposium, p.53–71.
17. Frankenberg R.T., Goodrich G. Designer's Guide to Semiconductor Memories-Part 9. — EDN, 1976, N 1, p.42–50.
18. Nevala R., Pettetier A. Testing of static bipolar RAMs. — In: Digest of Papers, 1974 Semiconductor Test Symposium, p.72–86.
19. Warren G.F. Memory Testing. — In: Tutorial: LSI Testing, COMPCON Spring 77, IEEE Catalog № EH0122–2, p.51–58.
20. Chiang A.C.L., Standridge R. Pattern sensitivity on 4K RAM Devices. — Computer Design, 1975, N 2, p.88–90.
21. Webb C., Richardson B. Pattern sensitivity in a 4096 bit RAM. — In: Digest of Papers, 1974 Semiconductor Test Symposium, p.33–52.
22. Henk de Jonge J., Smulders A.J. Moving inversions test pattern is thorough, yet speedy. — Computer Design, 1976, N 5, p.169–173.
23. Барраклаф, Пэян, Сол. Методы тестирования микромашиных устройств. — ТИИЭР, 1976, т.64, № 6, с.134–143.
24. Hnatek E.R., Graves W., Schmitt R.G. How static is the static 4K RAM? — In: Digest of Papers, 1976 Semiconductor Test Symposium, p.3–8.

Статья поступила 10 марта 1980 г.

УДК 621.3.049.77.002.56

О.Г. Грачев, Н.Н. Данилин, Л.В. Духовской,
Л.М. Попель, Е.Л. Слуцкий, О.Н. Шаромет

СИСТЕМА "ЭЛЕКОН СФ" ДЛЯ КОНТРОЛЯ ЭЛЕКТРИЧЕСКИХ ПАРАМЕТРОВ БИС ЗУ И МИКРОПРОЦЕССОРОВ

Разработанная система предназначена для контроля функционирования и статических параметров БИС в условиях массового производства, при проведении научно-исследовательских работ и для входного контроля потребителем схем запоминающих устройств и микропроцессоров.

Повышение степени интеграции микросхем сопровождается увеличением числа простых логических элементов и внутренних функциональных цепей, проверка которых последовательным контролем выходных параметров БИС становится практически невозможной. Чтобы оценить качество БИС, необходимо вести параллельный контроль работоспособности многих вентилях и функциональных цепей, подавая и снимая сигналы одновременно с многих выводов*. Поэтому помимо контроля электрических параметров БИС на постоянном токе требуется оценивать функциональные характеристики схем — работоспособность всех внутренних элементов и взаимосвязи между ними.

Современные системы для контроля электрических параметров БИС в связи с этим должны обеспечивать:

- выдачу программируемых или алгоритмических последовательностей сигналов с регулируемыми характеристиками импульсов на частоте, близкой к предельной частоте функционирования контролируемой схемы или превышающей ее;
- формирование прецизионных программируемых логических уровней и напряжений питания схемы;

* Требования к устройствам для испытаний микропроцессоров. — Экспресс-информация. Сер. Надежность и контроль качества. — М.: ВИНТИ, 1976, № 40, с. 10–12.

– контроль наличия импульсных сигналов на выходах схемы с высокой точностью и в разные интервалы времени;

– измерение напряжения на выводах и токов, потребляемых различными цепями контролируемой схемы.

Кроме того, система должна без ухудшения технических характеристик контролировать электрические параметры БИС на пластинах с помощью зондовых контактирующих устройств; оценивать качество изготовленных схем в корпусах при нормальной температуре и в различных климатических условиях; контролировать электрические параметры схем как в лабораторных, так и в производственных условиях с помощью ручных и автоматических контактирующих устройств соответственно.

Всем перечисленным требованиям удовлетворяет система контроля функционирования и статических параметров БИС ЗУ и микропроцессоров "Электрон СФ" (рис. 1).

Технические характеристики системы "Электрон СФ" при функциональном контроле

Частота функционального контроля	100 Гц–10 МГц
Амплитуда импульсов контрольных сигналов	± 18 В
Диапазон компарируемой величины контролируемых импульсных сигналов	± 16 В
Число фаз синхронизации	8
Длительность импульсов синхронизации	20 нс–5 мкс
Время задержки импульсов в каналах синхронизации	0–5 мкс
Скорость нарастания фронта и среза импульсов синхронизации и контрольных сигналов (при $C_H \leq 20$ пФ)	0,8 В/нс
Максимальное число выводов контролируемой БИС	до 52 (48 информационных и 4 питания)
Число рабочих мест	2



Рис. 1. Система "Электрон СФ"

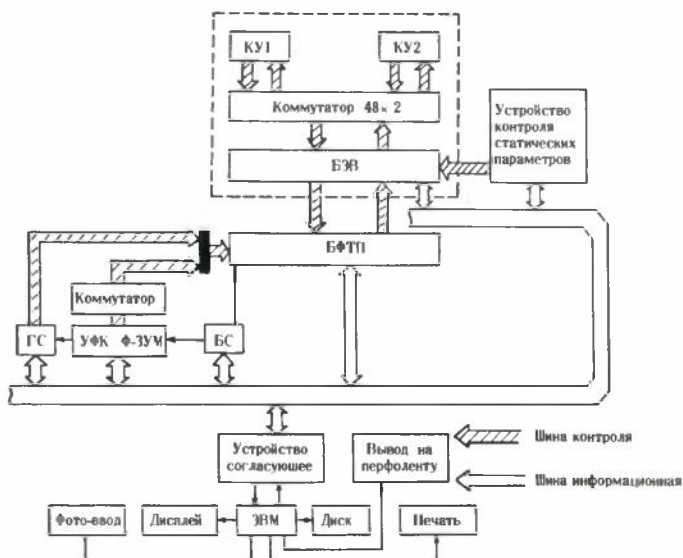


Рис. 2. Структурная схема системы "Электрон СФ"

Рассмотрим структурную схему системы "Электрон СФ" (рис. 2), назначение и взаимодействие ее основных устройств в процессе контроля электрических параметров БИС.

Выносной блок электроники выводов (БЭВ) предназначен для формирования прецизионных по амплитуде контрольных сигналов, подаваемых на входы контролируемых БИС, и аналогового сравнения выходных сигналов БИС с эталонными (рис. 3). В основном техническая характеристика БЭВ определяется параметрами используемых в составе блока формирователей контрольных сигналов (драйверов) и аналоговых компараторов.

При формировании контрольных сигналов, подаваемых на универсальные выводы БИС (являющиеся входами и выходами), драйверы могут находиться в трех состояниях:

напряжение на выходе – в диапазоне от +5 до –16 В;

напряжение на выходе – в диапазоне от –5 до +16 В;

"выключено" (напряжение на выходе равно 0, выходное сопротивление драйвера – не менее 100 МОм, а емкость на выходе – не более 80 пФ).

В первом и втором состояниях драйверы имеют следующие параметры:

Погрешность формирования выходного напряжения сигналов на частотах до 10 МГц (динамический режим)

$$\pm (0,02 U_{\text{ВЫХ}} + 50 \text{ мВ})$$

на частотах до 50 кГц (статический режим)

$$\pm (0,002 U_{\text{ВЫХ}} + 20 \text{ мВ})$$

Погрешность формирования выходного напряжения сигналов при введении в схему дополнительных регулировочных элементов

$$\pm (0,002 U_{\text{ВЫХ}} + 2 \text{ мВ})$$

Скорость установления выходного напряжения на заданную точность в статическом режиме

не менее 15 В/нс

Крутизна фронта и среза выходных импульсов при максимальной амплитуде сигнала и $C_H = 20$ пФ

$$0,8 \text{ В/нс}$$

Выходное сопротивление

не более 25 Ом

Максимальный выходной ток

30 мА

Максимальная рабочая частота при выходной амплитуде до 5 В

$$20 \text{ МГц}$$

при выходной амплитуде до 20 В

$$10 \text{ МГц}$$

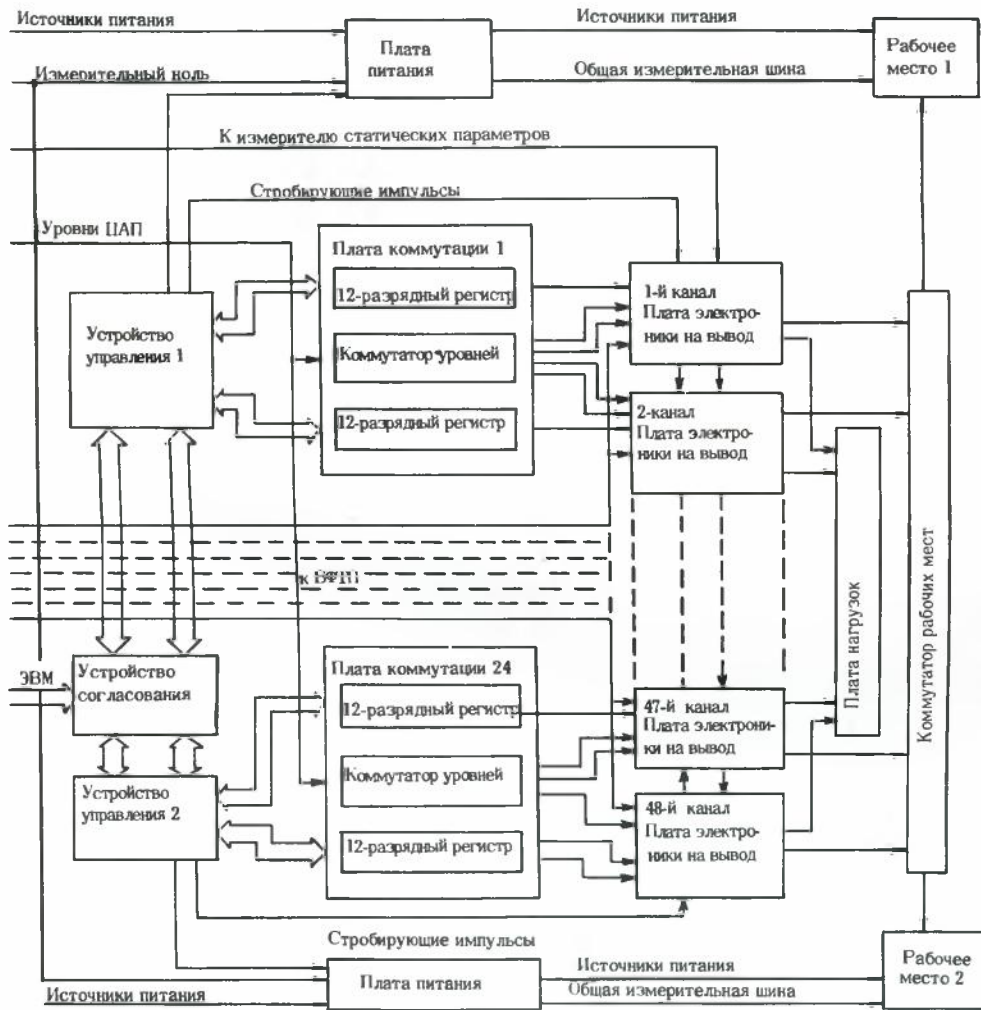


Рис. 3. Структурная схема блока электроники выводов

Аналоговые компараторы платы электроники на вывод (ПЭВ) обеспечивают: диапазоны входных сигналов ± 3 и ± 18 В, соответствующую разрешающую способность 10 и 60 мВ, погрешность компарирования не более 2 и 4%, временную разрешающую способность не более 2 нс, входное сопротивление не менее 10 МОм и входную емкость (типовую) 30 пФ.

Блок электроники выводов собран на 48 одинаковых платах электроники на вывод. Функциональная схема платы представлена на рис. 4. Драйвер включает в себя буферный усилитель, формирователь уровней и две логические схемы У1 и У2. С помощью буферного усилителя усиливаются по току опорные уровни "0" и "1". При этом обеспечивается компенсация остаточных напряжений на выходных ключевых каскадах формирователя уровней. В результате с выхода формирователя уровней снимается сигнал, амплитуда которого с соответствующей точностью определена напряжениями опорных уровней. Для компенсации падения напряжения на выходном сопротивлении драйвера и увеличения точности его работы в буферный усилитель введена цепочка обратной связи (режим с обратной связью), которая может быть отключена с помощью реле Р1 и Р7.

Компараторы "0" (К0) и "1" (К1) через реле Р4 или реле Р2 и Р3 и делитель 1/6 могут быть подключены к контролируемому выходу БИС. Входные сигналы компараторов сравниваются с напряжениями уровней К0 и К1, подаваемыми через формирователь уровней из устройства аналогового управления блоком электроники выводов. Результаты сравнения контролируемых и эталонных сигналов запоминаются компараторами при поступлении на них строб-импульсов.

Кроме платы электроники на вывод в состав БЭВ входит еще ряд устройств, обеспечивающих работу схем электроники на вывод и коммутацию сигналов на два рабочих места системы (см.рис.3).

Для контроля функционирования и статических параметров БИС операторы устанавливают схемы в контактирующие устройства. Затем с одного из рабочих мест подается сигнал начала контроля. По указанному сигналу ЭВМ через устройство со-

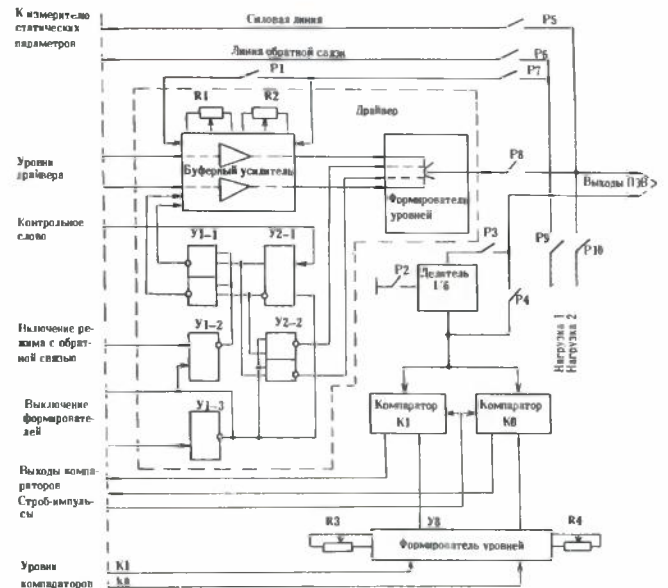


Рис. 4. Функциональная схема платы электроники на вывод

гласования выдает команду, которая с помощью коммутатора рабочих мест включает выбранное контактирующее устройство и с помощью коммутаторов уровней подает на драйверы и компараторы соответствующие напряжения. В случае функционального контроля БИС для вывода, являющегося входом на соответствующей этому выводу ПЭВ (см. рис. 4), включаются реле Р1, Р7, Р8. Если вывод контролируемой схемы является выходом, то при напряжении на входе ≤ 3 В включается только реле Р4. При напряжении на выходе БИС более 3 В реле Р2 и Р3 включает делитель 1/6 между выходом БИС и входами компараторов. Если же вывод БИС универсальный, то к нему подключаются драйвер и компаратор. Тогда в процессе контроля в первой половине теста с драйвера на вход схемы подается контрольный сигнал, а во второй половине драйвер сигналом "Выключение формирователя" устанавливается в третье состояние, выдаются строб-импульсы на компараторы и с их выходов снимаются сигналы результатов контроля.

Из блока формирования тестовых последовательностей поступает контрольная последовательность сигналов. Реле Р9 и Р10 предназначены для подключения к выводам контролируемой БИС различных нагрузок, размещенных на плате нагрузок блока.

В процессе контроля статических параметров к контролируемому выводу через реле Р5, Р6 подключается измеритель статических параметров. Для обеспечения режима контроля на остальные выводы контролируемой БИС с драйверов выдаются необходимые напряжения уровней "1" и "0".

Блок электроники выводов выполнен функционально и конструктивно законченным устройством. Благодаря такому исполнению и применению специальных ленточных соединительных кабелей он может быть удален от системы "Электрон СФ" на расстояние до 1,5 м и установлен на автоматических

контактирующих устройствах, проходных или климатических камерах и т.п.

Указанная особенность выполнения системы "Электрон СФ" и блока электроники выводов значительно расширяет ее функциональные возможности и позволяет использовать систему в производственных условиях как для контроля БИС на платах и в корпусах с применением автоматических контактирующих устройств, так и для климатических испытаний схем.

Устройство контроля статических параметров БИС (рис. 5) содержит:

- два измерительных преобразователя и источника тока и напряжения (ИПИТН), каждый из которых обеспечивает выдачу сигналов на выводы контролируемой БИС в виде напряжения или тока заданной величины и одновременное преобразование результата этого воздействия в напряжение;
- два источника напряжения или тока программируемых (ИНТП), предназначенных для подачи на контролируемую БИС напряжения (тока) питания заданной величины;
- компараторы, необходимые для сравнения величины контролируемого параметра с его граничными значениями;
- шесть цифроаналоговых преобразователей (ЦАП) для задания по программе уровней контрольных сигналов, напряжений или токов питания, граничных значений контролируемого параметра;
- схему программируемых задержек для формирования сигнала окончания цикла контроля параметра.

Основные характеристики устройства контроля статических параметров системы "Электрон СФ" рассмотрены ниже.

При формировании контрольных сигналов или задании напряжений и токов с помощью измерительных преобразователей устройство обеспечивает

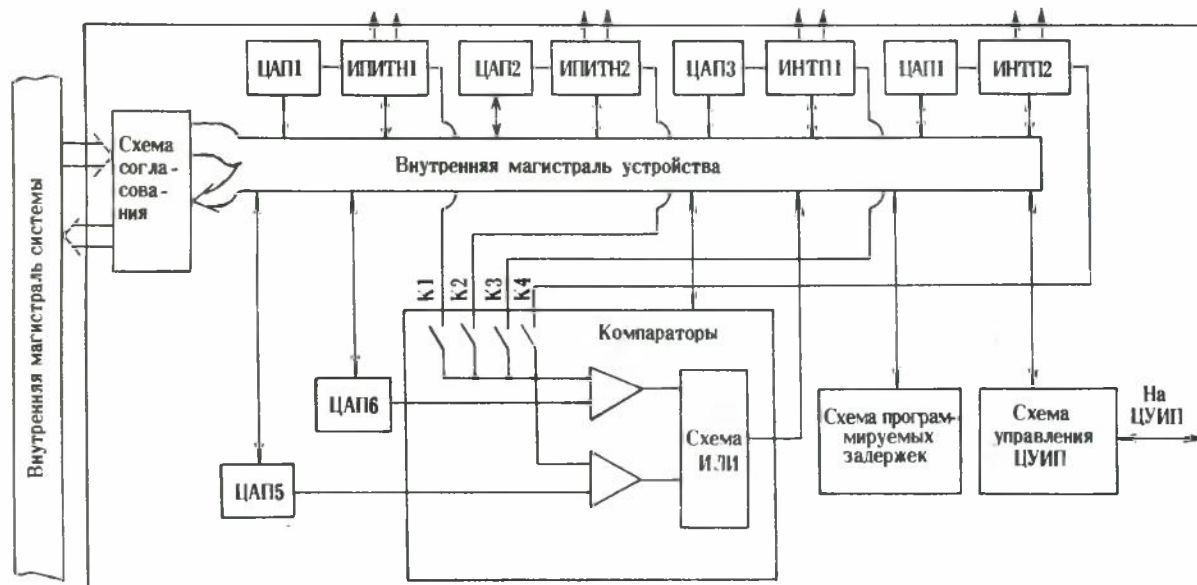


Рис. 5. Структурная схема устройства контроля статических параметров БИС

значения напряжений и токов, приведенные в табл. 1 и 2.

Таблица 1

Задаваемое напряжение U_3 , В	Дискретность, мВ	Погрешность, мВ
-4,095 ... + 4,095	1	0,0015 U_3 + 1,2 мВ
-20,475 ... + 20,475	5	0,0015 U_3 + 6 мВ

Таблица 2

Задаваемый ток I_3 , мА	Дискретность, мкА	Погрешность, мкА
-0,4095 ... + 0,4095	0,1	0,004 I_3 + 0,12
-4,095 ... + 4,095	1	0,003 I_3 + 1,2
-40,95 ... + 40,95	10	0,003 I_3 + 12
-102,375 ... + 102,375	25	0,003 I_3 + 30

В режиме задания напряжения с помощью ИПИТН устройство позволяет измерять ток в цепи нагрузки (табл. 3), а при задании тока – напряжение на контролируемом выводе (табл. 4).

Таблица 3

Измеряемый ток I_x	Дискретность	Погрешность
-0,4095 ... + 0,4095 мкА	0,1 нА	0,008 I_x + 0,4 нА
-4,095 ... + 4,095 мкА	1 нА	0,008 I_x + 1,2 нА
-40,95 ... + 40,95 мкА	10 нА	0,008 I_x + 12 нА
-0,4095 ... + 0,4095 мА	0,1 мкА	0,004 I_x + 0,12 мкА
-4,095 ... + 4,095 мА	1 мкА	0,004 I_x + 1,2 мкА
-40,95 ... + 40,95 мА	10 мкА	0,004 I_x + 12 мкА
-102,375 ... + 102,375 мА	25 мкА	0,004 I_x + 30 мкА

Таблица 4

Измеряемое напряжение U_x , В	Дискретность, мВ	Погрешность, мВ
-4,095 ... + 4,095	1	0,0015 U_x + 1,2
-20,475 ... + 20,475	5	0,0015 U_x + 6

Устройство позволяет контролировать напряжения и токи микросхем в диапазонах, приведенных в табл. 5 и 6.

Таблица 5

Контролируемое напряжение U_k , В	Погрешность, мВ
-4,095 ... + 4,095	0,003 U_k + 2
-20,475 ... + 20,475	0,003 U_k + 10

Таблица 6

Контролируемый ток I_k	Погрешность
-0,4095 ... + 0,4095 мкА	0,01 I_k + 0,8 нА
-4,095 ... + 4,095 мкА	0,01 I_k + 8 нА
-40,95 ... + 40,95 мкА	0,01 I_k + 80 нА
-0,4095 ... + 0,4095 мА	0,01 I_k + 0,8 мкА
-4,095 ... + 4,095 мА	0,01 I_k + 8 мкА
-40,95 ... + 40,95 мА	0,01 I_k + 80 мкА
-102,3 ... + 102,3 мА	0,01 I_k + 200 мкА

Время контроля статических параметров определяется временами установления цепи контроля и величины напряжений или токов на выводах контролируемой схемы (табл. 7).

Таблица 7

Напряжение U_3 , В	Ток I_3	Время установления, мс		Время контроля, мс	
		тока	напряжения	тока	напряжения
-4,095 ... + 4,095	-0,4095 ... + 0,4095 мкА	-	0,1	100	-
	-4,095 ... + 4,095 мкА	-	0,1	10	-
	-40,95 ... + 40,95 мкА	-	0,1	1	-
	-0,4095 ... + 0,4095 мА	0,1	0,1	1	2
	-4,095 ... + 4,095 мА	0,1	0,1	1	2
	-40,95 ... + 40,95 мА	0,1	0,1	1	2
-20,475 ... + 20,475	-0,4095 ... + 0,4095 мкА	-	0,4	100	-
	-4,095 ... + 4,095 мкА	-	0,4	10	-
	-40,95 ... + 40,95 мкА	-	0,4	1	-
	-0,4095 ... + 0,4095 мА	0,1	0,4	1	2
	-4,095 ... + 4,095 мА	0,1	0,4	1	2
	-40,95 ... + 40,95 мА	0,1	0,4	1	2

ИНТП обеспечивают задание напряжений (табл. 8) и токов в диапазоне от -819 до +819 мА (при напряжении на нагрузке 20 В) с дискретностью 0,2 мА и погрешностью 0,009 I_3 + 1 мА.

Таблица 8

Задаваемое напряжение U_3 , В	Дискретность, мВ	Погрешность, мВ	Ток нагрузки, мА
-4,095 ... + 4,095	1	0,0015 U_3 + 2	800
-20,475 ... + 20,475	5	0,0015 U_3 + 10	800

В режиме задания напряжения питания с помощью ИНТП возможно измерение токов потребления в диапазоне от -819 до +819 мА с погрешностью 0,009 I_x + 1 мА.

При задании тока питания ИНТП измеряет напряжение питания в диапазонах от -4,095 до +4,095 В и от -20,475 до +20,475 В с погрешностью 0,0015 U_x + 2 мВ и 0,0015 U_x + 10 мВ соответственно.

При задании напряжений преобразователями ИПИТН и источниками ИНТП обеспечивается ограничение потребляемых токов, а при задании токов – ограничение напряжений. Уровни ограничения программируются.

Типичный цикл контроля статического параметра начинается с подключения к БИС источников питания, установления необходимых уровней напряжений питания и логических уровней на ее входах. В случае контроля БИС ЗУ или МП, имеющих встроенные схемы памяти, может потребоваться задание на входах БИС последовательности определенных логических сигналов для перевода внутренних схем памяти в требуемое состояние. После подачи соответствующих сигналов на входы контролируемой БИС к контролируемому выводу подключается измерительный преобразователь.

При контроле входных токов БИС измерительный преобразователь устанавливается в режим задания напряжения и преобразования тока. При этом программируются диапазоны напряжений и контролируемых токов, а также уровни ограничения. По окончании переходных процессов на контролируемом выводе устанавливается напряжение заданной величины, а на выходе измерительного преобразователя появляется напряжение, пропорциональное току в цепи контролируемого вывода. С помощью коммутационных элементов К1 и К2 коммутатора (см. рис. 5) это напряжение попадает на входы компараторов устройства контроля статических параметров, на других входах которых с помощью ЦАП установлены напряжения, соответствующие граничным значениям входного тока БИС. По истечении времени, заданного с помощью схемы программируемой задержки, устройство в зависимости от результата контроля выдает сигнал "Годен" или "Брак". Результаты контроля поступают в ЭВМ, где они анализируются. Затем принимается соответствующее решение о продолжении контроля БИС. На этом цикл контроля одного параметра схемы заканчивается.

При контроле токов потребления БИС используются ИНТП, которые также имеют измерительные преобразователи тока в напряжение. Входы компараторов с помощью коммутационных элементов К3, К4 коммутатора подключаются к выходу измерительного преобразователя соответствующего источника. Для контроля токов потребления маломощных БИС в качестве источника питания можно использовать второй ИПИТН, что обеспечивает большую точность контроля потребляемого тока.

Генератор слова (ГС) системы "Электрон СФ" предназначен для хранения и выдачи на выходы

контролируемой БИС произвольной последовательности логических сигналов по 48 основным и 4 дополнительным каналам (рис. 6). Информационная емкость каждого канала составляет 1024 бит. Конфигурация генератора слова программно изменяема и может состоять из 24 каналов по 2048 бит или 12 каналов по 4096 бит информации в канале.

При функциональном контроле по одним каналам в соответствии с разводкой контролируемой БИС поступают входные импульсы контрольных сигналов, а по другим – последовательности импульсов, соответствующие ожидаемым результатам контроля. Генератор слова управляется от ЭВМ. Перед контролем в память всех каналов заносится последовательность контрольных сигналов, а в управляющую память и устройство управления – информация о режиме его работы.

Процесс генерирования контрольной последовательности может быть непрерывным, когда информационный объем канала достаточен для хранения всей контрольной последовательности сигналов, или прерываться для записи из ЭВМ новой информации в ОЗУ каналов ГС. В случае возникновения ошибки в выдаче последовательности сигналов формируется сигнал прерывания ("Ошибка выдачи"), поступающий в ЭВМ.

Синхронизируется генератор слова блоком синхронизации системы "Электрон СФ". Наименьший период следования тактирующих импульсов – 50 нс.

Схема согласования предназначена для организации записи информации из магистрали системы во все узлы генератора слова, а также для считывания информации в ЭВМ. Обмен информацией контролируется на четность и при ошибке формируется сигнал прерывания в ЭВМ.

Схема управления и управляющая память предназначены для организации следующих режимов

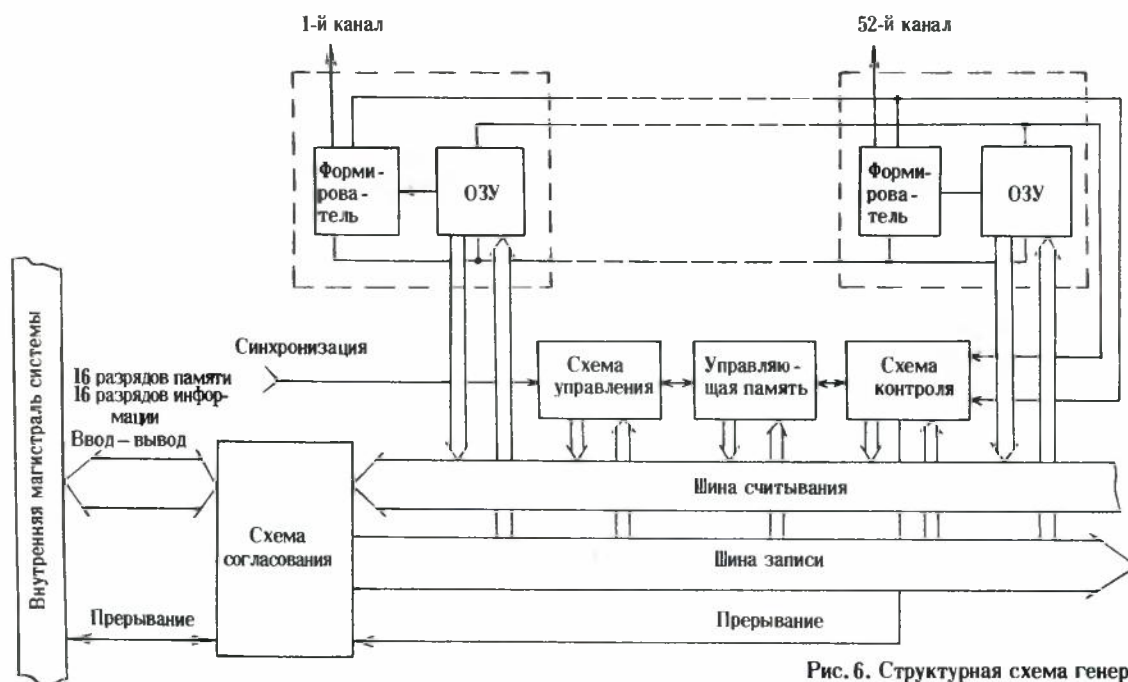


Рис. 6. Структурная схема генератора слов

генерации контрольной последовательности сигналов:

Режим I – генерирование последовательности сигналов длиной не более 1024 48-разрядных слов.

Режим II – генерирование контрольной последовательности сигналов для функционального контроля СБИС.

Режим III – генерирование последовательности сигналов, включающей слова, необходимые для установки схем в исходное состояние.

В режиме I ЭВМ заносит информацию в ОЗУ каналов генератора слова, после чего информация однократно выдается на контролируруемую БИС.

При функциональном контроле СБИС можно многократно увеличивать длину последовательности сигналов. В режиме II программируются число зон в контрольной последовательности сигналов, начальный адрес зоны (может быть выбран от 0 до 1024 с интервалом 4), число выдаваемых слов в зоне и циклов повторения выдачи слов в зоне. Число зон может составлять 16, число слов – от 4 до 1024 (в основной конфигурации), число циклов – от 1 до 4096. Контрольная последовательность генерируется непрерывно с заданным периодом и начинается с начального адреса в первой зоне, затем выдается запрограммированное в первой зоне число слов, выдача повторяется запрограммированное число раз (циклов) и без разрыва происходит переход к начальному адресу второй зоны. Такой процесс повторяется во всех зонах. В данном режиме число выдаваемых слов резко возрастает, но усложняются требования к разработке контрольной последовательности: разбивка на зоны, число слов в зоне, число циклов.

При контроле схем, требующих вывода в исходное состояние, применяется режим III – закливания выдачи определенной последовательности до получения сигнала "Годен".

Схема управления и управляющая память совместно с дополнительными каналами могут форми-

ровать различные отладочные, инженерные режимы с организацией синхронизации осциллографа по требуемым тактам. Дополнительные каналы необходимы, например, для блокировки результатов контроля по определенному слову, если этого требует алгоритм.

Схема контроля предназначена для формирования сигнала прерывания в ЭВМ в случае ошибки в выдаче контрольной последовательности. При записи информации в ОЗУ каналов генератора слова запоминаются контрольные разряды, а при выдаче контрольной последовательности по определенным каналам с помощью схемы свертки формируются контрольные разряды выдачи. Схема контроля выполняет сравнение хранимых и формируемых контрольных разрядов и при несовпадении вырабатывает сигнал прерывания в ЭВМ, и контроль прекращается. Далее вручную или автоматически система может быть переведена в режим самоконтроля и диагностики неисправностей.

Блок формирования тестовой (контрольной) последовательности (БФТП), структурная схема которого приведена на рис. 7, обеспечивает:

- формирование контрольных сигналов путем суммирования импульсов синхронизации и последовательности, поступающих от одного из трех генераторов – генератора слов, установки "Электрон Ф-ЗУМ" или ЭВМ;
- цифровое сравнение последовательности сигналов на выходах контролируемой БИС с ожидаемой последовательностью и формирование сигналов "Годен" ("Брак") на частоте функционального контроля;
- накопление информации о количестве дефектных элементов в контролируемых схемах;
- выбор одного из указанных трех генераторов последовательностей сигналов;
- формирование на любом из 48 выходов БФТП контрольной последовательности сигналов путем ее тактирования импульсами

синхронизатора и выдачу ее в соответствии с программой контроля на любой из 48 драйверов блока электроники выводов;

– блокирование цифровых компараторов блока формирования тестовых последовательностей в каналах, связанных с выводами контролируемой БИС, не являющимися выходами схемы.

В системе предусмотрены три формы выдачи контрольной последовательности сигналов:

I – без изменения последовательности сигналов, поступающих с выбранного генератора;

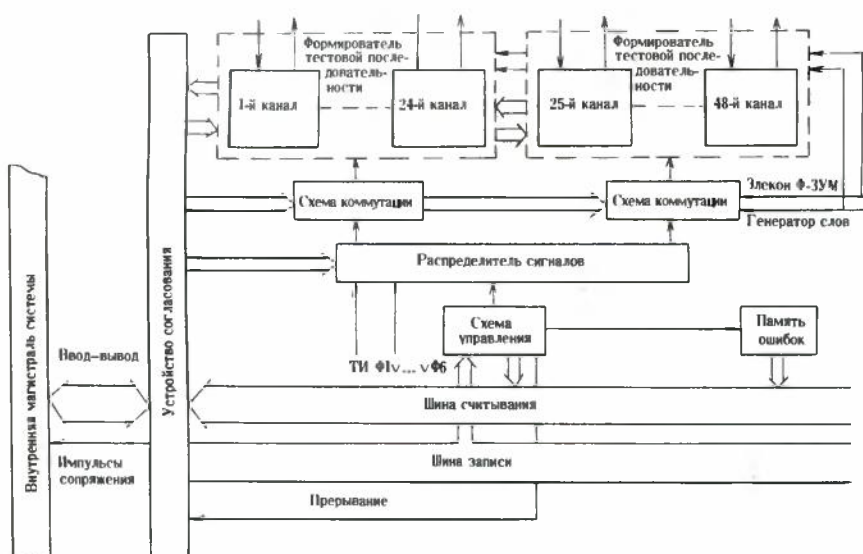


Рис. 7. Структурная схема блока формирования тестовых последовательностей

II, III – с формированием импульсных сигналов в соответствии с контрольной последовательностью, поступающей от одного из трех генераторов, и импульсами синхронизации одной из шести фаз ($\Phi 1 \vee \dots \vee \Phi 6$) или тактовыми импульсами (ТИ).

Временная диаграмма импульсов возможных контрольных последовательностей сигналов приведена на рис. 8. Одновременно с выдачей указанных последовательностей сигналов с целью увеличения универсальности системы контроля в БФТП формируются сигналы блокировки драйверов и цифровых компараторов, не участвующих в процессе контроля БИС, а также некоторых драйверов и цифровых компараторов на время выполнения отдельных тактов функционального контроля.

В соответствии с программой контроля БИС в БФТП поступает информация о режимах работы системы, и к формирователям тестовой последовательности подключается один из генераторов. В зависимости от типа контролируемой БИС выбирается форма последовательности сигналов. Если вывод контролируемой БИС является выходом, то на драйверы, связанные с этим выводом, подаются сигналы их постоянной блокировки. Одновременно на цифровые компараторы, подключенные к выводам контролируемой БИС, которые являются входами схемы, подается сигнал постоянной блокировки цифровых компараторов. В процессе функционального контроля БИС, у которых часть выводов универсальна, для блокировки работы драйверов и компараторов используются два оставшихся сигнала. Тогда при подаче на универсальные выводы контрольных сигналов цифровые компара-

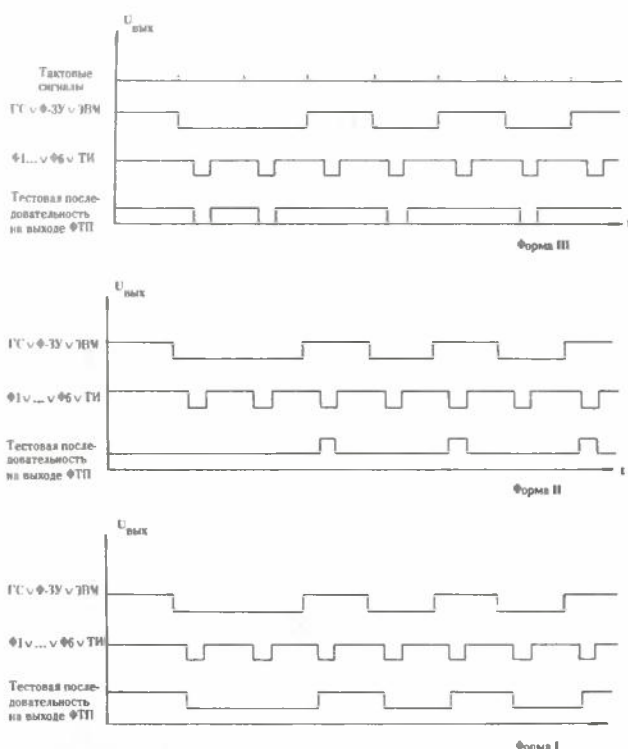


Рис. 8. Временная диаграмма импульсов возможных контрольных последовательностей сигналов

торы блокируются. В тот момент, когда эти выводы используются как выходы, драйверы, связанные с ними, устанавливаются в третье состояние.

Если в процессе функционального контроля БИС ОЗУ будут выявлены дефектные ячейки памяти, то по сигналу "Брак" схема управления блоком заносит в память ошибок адреса дефектных ячеек памяти. После окончания контроля БИС эти адреса могут быть переданы в ЭВМ и по ним составлено поле дефектных ячеек в матрице БИС ОЗУ.

Таковы основные режимы, которые обеспечивает при выполнении функционального контроля БФТП.

Для управления работой всех устройств системы применена ЭВМ СМ-1, включающая процессор с ОЗУ емкостью 32 тыс. 16-разрядных слов, магнитный диск ИЗОТ-1370, дисплей и не показанные на рис. 1 устройства ввода и вывода, а также печатающее устройство.

Существенной особенностью системы "Электрон СФ" следует считать возможность формирования последовательности сигналов, позволяющих перед началом процесса контроля устанавливать запоминающие элементы контролируемых схем в исходное состояние. При этом, как указывалось выше, сигналы на выводы контролируемых схем задаются с помощью высокочастотных драйверов блока электроники выводов. Следовательно, параметры входных сигналов (фронты, времена задержки и т.д.) при установке схем в исходное состояние не отличаются от аналогичных параметров сигналов при функциональном контроле. Такая особенность системы гарантирует необходимое качество подготовки схем к контролю их электрических параметров и высокую его достоверность.

Другой особенностью системы, значительно расширяющей ее функциональные возможности, является применение в ее составе устройств, с помощью которых осуществляется контроль динамического потребления тока при функционировании БИС на любой частоте.

Функциональный контроль полупроводниковых схем памяти обеспечивается с помощью *установки функционального контроля БИС ОЗУ "Электрон Ф-ЗУМ"*. Это, в свою очередь, означает, что в процессе контроля схем памяти может быть реализована большая часть известных алгоритмов вида N , N^2 и $N^{3/2}$. Генерирование указанных алгоритмов – третья особенность системы, выгодно отличающая ее от существующего контрольно-измерительного оборудования и позволяющая применять систему "Электрон СФ" для контроля БИС ОЗУ с объемом памяти более 64 К.

Однако применение установки "Электрон Ф-ЗУМ" создало и ряд ограничений при формировании алгоритмов, в которых поочередно производилось бы увеличение и уменьшение адресов контролируемых ячеек памяти. В связи с этим в системе "Электрон СФ" предусмотрен специальный режим, устраняющий указанный недостаток и позволяющий при значи-

тельном сокращении времени контроля БИС ОЗУ сохранить его достоверность.

Функциональный контроль БИС микропроцессоров, как правило, выполняется с помощью контрольной последовательности сигналов, хранящейся в памяти генератора слова. Структурная схема генератора слова и, в частности, применение в его составе управляющей памяти, позволяет эффективно использовать информацию, занесенную в его основную память (например, возможность многократного закидывания повторяющихся частей контрольной последовательности сигналов и формирование последовательности длиной в миллионы бит). Закидывание частей последовательностей в генераторе слов дает возможность подготавливать к выполнению операций контроля БИС, не имеющие установочных входов. В этом случае вся последовательность сигналов или ее часть подается на входы до тех пор, пока внутренние элементы памяти схемы не будут установлены в исходное состояние.

Большинство современных БИС микропроцессоров имеют магистральную организацию выводов: один или группа выводов могут быть как входами, так и выходами. Контроль такого типа схем на существующем оборудовании вызывает серьезные осложнения. Для ликвидации подобного недостатка оборудования разработаны способы контроля таких БИС, реализованные в системе "Электрон СФ".

Контроль БИС, которые имеют одну группу выводов с организацией вход-выход, может быть осуществлен при соединении устройств системы "Электрон СФ", показанном на рис. 9. Выводы $i-j$ генератора слова соответствуют группе выводов контролируемой БИС, которые могут выполнять функции как входа, так и выхода. Сигналы с каждого канала генератора слова подаются на вход соответствующего драйвера блока электроники выводов как контрольная последовательность, а на цифровые компараторы блока формирователей тестовой последовательности как эталонная информация. В этом случае сигналы 49-го канала генератора слова блокируют компараторы, связанные с выводами БИС, которые в данных тестах функционального контроля являются входами схемы. Для блокировки драйверов в моменты, когда подключенные к ним выводы являются входами, может быть использован 51-й канал генератора слов. По сигналам с этого канала указанные драйверы переводятся в третье состояние. Использование 50-го канала генератора слова позволяет полностью заблокировать компараторы системы на время вывода контролируемой БИС в исходное состояние.

Еще более широкие возможности открываются в случае использования при контроле БИС МП двухтактного режима работы системы (рис. 10). Для организации такого режима в БФТП предусмотрен сдвиговый регистр, позволяющий применять каждый нечетный бит последовательности

для формирования сигналов блокирования цифровых компараторов по данному выводу и для перевода драйверов из третьего состояния в рабочее. Каждый четный бит сдвигового регистра служит информационным сигналом контрольной последова-

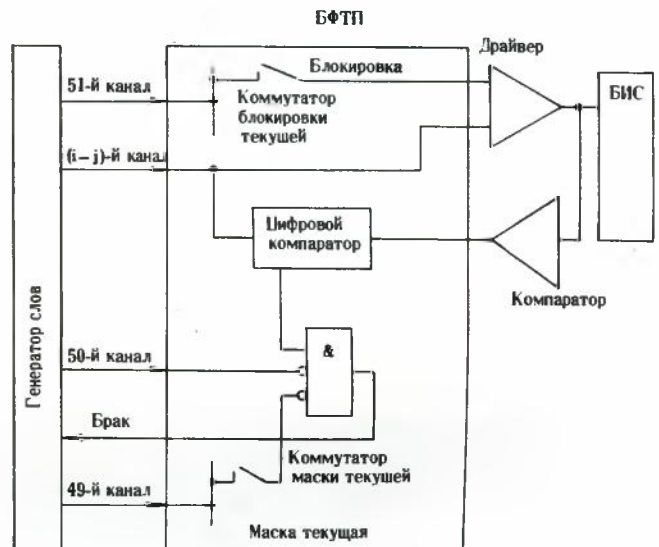


Рис. 9. Схема соединения устройств системы для контроля БИС МП

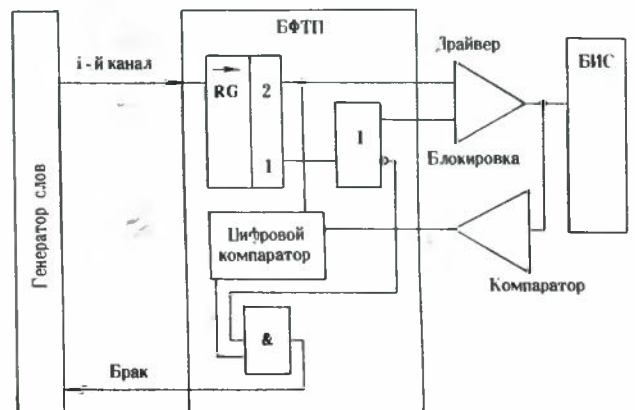


Рис. 10. Схема соединения устройств системы в двухтактном режиме контроля БИС

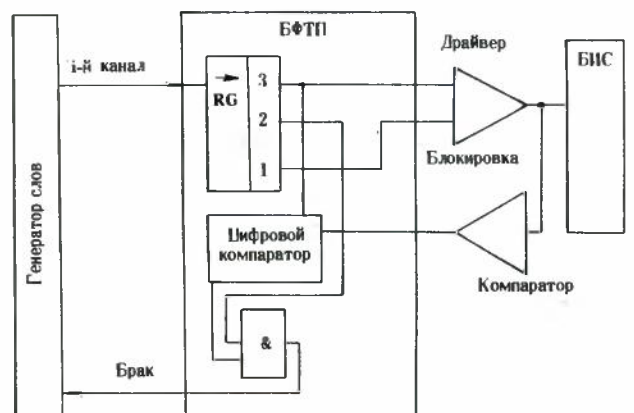


Рис. 11. Схема соединения устройств системы в трехтактном режиме контроля БИС

тельности (логические "0" и "1"), подается на входы драйверов и как ожидаемый код — на цифровые компараторы.

В двухтактном режиме контроля можно программировать индивидуально режимы, соответствующие состояниям вход-выход по каждому выводу контролируемой БИС и легко контролировать БИС микропроцессоров, у которых произвольное число групп выводов с магистральной организацией.

Полностью независимое задание функций вывода обеспечивается в системе с помощью трехтактного режима контроля БИС (рис. 11). В этом режиме каждый первый бит последовательности управляет включением (выключением) третьего состояния драйверов, каждый второй — блокирует цифровые компараторы в данном тесте, а каждый третий бит определяет контрольный сигнал (логический "0" или "1"), выдаваемый на входы драйверов.

Применение трехтактного режима контроля позволяет контролировать БИС микропроцессоров с любым числом выводов, имеющих функции входа-выхода, и разрешает исключить из процесса контроля любое число тестов по любому числу выводов.

Система "Элекон СФ" может быть эффективно использована не только в массовом производстве БИС, но также и при проведении лабораторных исследований. Предусмотренные в системе аппаратные средства и развитое математическое обеспечение позволяют проводить, например, следующие исследовательские работы:

- измерение и распечатку величин токов и напряжений при контроле статических параметров;
- запоминание на рабочей частоте результатов контроля БИС ОЗУ и последующую распечатку неисправных ячеек контролируемой памяти в любом наперед заданном формате (в том числе и с учетом реальной топологии схемы);
- запоминание на рабочей частоте и распечатку состояний на входах и выходах контролируемых БИС микропроцессоров с указанием неисправных выводов и тестов;
- построение диаграмм работоспособности контролируемых БИС (например, в координатах: напряжение питания — ток потребления; напряжение на входах — задержка срабатывания и т.д.);
- накопление статистических данных по любым контролируемым параметрам партии БИС, а также последующую обработку и распечатку их в заданной форме.

Исследовательские режимы позволяют проводить анализ и систематизацию брака, выявлять его причины, определять направление работ по повышению процента выхода годных изделий.

Высокие эксплуатационные характеристики системы обусловлены применением в ее составе средств самоконтроля и диагностики неисправностей, а также эффективного программно-математического обеспечения. Средства самоконтроля и

диагностики неисправностей предназначены для оперативной оценки работоспособности системы, а при отрицательном результате оценки — для выявления места возникшей неисправности. Самоконтроль и диагностика неисправностей выполняются с помощью аппаратно-программных средств, являющихся составной частью системы контроля "Элекон СФ" и ее программно-математического обеспечения. Средства самоконтроля и диагностики выполнены так, что они обеспечивают программный доступ к входам и выходам основных устройств системы, а также многократный контроль цепей передачи информации. Благодаря такому построению системы с помощью специальных программ самоконтроля и диагностики автоматически или по желанию оператора могут быть оперативно оценены основные характеристики системы, правильность выполнения функций различными ее устройствами и передачи информации по магистрали системы и устройств. После выполнения самоконтроля работоспособности формируется результат "Исправно" или "Неисправно".

По сигналу "Неисправно" выполняется диагностический контроль устройств и автоматически выявляется место возникшей неисправности для большинства случаев с точностью до сменных плат.

Применение в составе системы средств самоконтроля и диагностики делает возможным за несколько минут обнаружить места расположения большинства неисправностей и значительно повысить коэффициент ее готовности.

Программно-математическое обеспечение системы "Элекон СФ" состоит из стандартного программного обеспечения ЭВМ СМ-1 и системного программного обеспечения и включает: управляющую программу, широкий набор аттестационных программ, программы самоконтроля и диагностики неисправностей системы в целом и ее устройств, а также статистической обработки результатов контроля БИС.

Управляющая программа позволяет максимально упростить процесс программирования, снизить трудоемкость составления программ контроля БИС и требования к квалификации разработчиков программ. Большая часть процесса составления программ контроля БИС автоматизирована. Высокая эффективность управляющей программы достигнута благодаря разработке языка высокого уровня "Элекон Ф", ориентированного на реализацию контрольно-измерительных операций. Его основу составляет более 130 проблемно ориентированных операторов, переводящих задачи контроля в инструкции работы устройств в процессе выполнения контрольно-измерительных операций.

Аттестационные программы применяются для автоматизации оценки работоспособности и точностных характеристик измерительных каналов системы. ЭВМ обрабатывает результаты измерения выходных параметров системы, сравнивает вели-

чины их отклонений от заданных в ТУ и выводит результаты на дисплей для оперативной оценки или распечатывает материалы аттестации для документирования.

Программы статистической обработки результатов контроля — одно из важнейших средств системы "Элекон СФ", с помощью которого могут выполняться исследования зон устойчивой работы БИС, анализ, а также систематизация дефектов схем, определяться динамика изменений технологического процесса их производства и т.п.

Таким образом, система "Элекон СФ" благодаря своим высоким техническим характеристикам, специальному конструктивному выполнению, развитию программно-математическому обеспечению может быть с успехом применена для контроля электрических параметров БИС на пластинах при предельных частотах функционирования; схем с помощью автоматических контактирующих устройств; изделий при различных климатических испытаниях; БИС с помощью ручных контактирующих устройств; при выполнении исследовательских работ по определению оптимальности характеристик схем и способов улучшения технологических процессов их производства.

Статья поступила 25 февраля 1980 г.

УДК 620.187:621.382

Н. И. Лабутин, Е. В. Мусатова, С. И. Мялкин

МЕТОДЫ ЭЛЕКТРОННОЙ МИКРОСКОПИИ ДЛЯ ИССЛЕДОВАНИЯ ЭЛЕКТРИЧЕСКИ АКТИВНЫХ ДЕФЕКТОВ В ДИОДНЫХ И ТРАНЗИСТОРНЫХ СТРУКТУРАХ БИС

Электронно-микроскопические методы, обладающие высокой разрешающей способностью и позволяющие сопоставлять наличие структурных дефектов с изменениями потенциальной картины электрического поля в $p-n$ переходах, являются наиболее эффективными методами исследования электрически активных структурных дефектов.

Электрическая активность структурных дефектов в элементах микросхем определяется локальными полями упругих напряжений, окружающих дефект; нарушенными или ненасыщенными связями и обусловленными ими локальными уровнями энергии, возникающими в запрещенной

зоне; областями пространственного заряда, которые образуются в полупроводниках и окружают ядро структурного дефекта; увеличенным коэффициентом диффузии примеси вдоль структурного дефекта [1]. Эта многофакторность физических явлений, вызывающая электрическую активность структурных дефектов, может проявляться в изменении величины подвижности носителей тока, времени жизни неосновных носителей, а также в возникновении повышенных токовых утечек в диодных и транзисторных структурах БИС.

Наиболее существенный вклад в электрическую дефектность компонентов микросхемы вносят электрически активные дефекты, вызывающие повышенные токовые утечки в $p-n$ переходах. В исследовании таких дефектов самыми эффективными являются электронно-микроскопические методы, обладающие высокой разрешающей способностью.

Метод определения расположения диффузионных трубок в транзисторных структурах БИС с помощью РЭМ [2]. Одной из задач в исследовании причин возникновения повышенных утечек тока между эмиттером и коллектором в транзисторных структурах является определение мест их локализации. Если известно место электрического смыкания эмиттера с коллектором, то с помощью селективного травления поверхности транзистора можно установить, связано ли возникновение смыкания со структурным дефектом в кремнии. Характер ямки травления этого дефекта позволяет судить о его "возрасте" [3].

Известный электрохимический метод определения места локализации повышенной токовой утечки в транзисторе заключается в анодном травлении транзисторных структур, сформированных в кремниевой пластине [4]. Травление эмиттерных областей транзисторов, имеющих повышенный ток утечки относительно коллектора, происходит более интенсивно по сравнению с аналогичными областями транзисторов, у которых ток утечки отсутствует. В этих интенсивно травящихся областях возникают углубления, которые отождествляются с местом выхода на поверхность диффузионных трубок, соединяющих эмиттер с коллектором. Если в месте выхода структурного дефекта на поверхность перед началом травления углубление отсутствовало, форма ямки, образовавшейся после травления, позволяет определить глубину залегания и время образования структурного дефекта [3].

Электрохимический метод не позволяет выявить характер структурного дефекта, явившегося причиной ускоренной диффузии эмиттерной примеси из-за полученного предварительного углубления в месте выхода диффузионной трубки. Этого недостатка лишен предлагаемый метод определения места локализации повышенной токовой утечки между эмиттером и коллектором с помощью РЭМ.

Как отмечалось ранее, появление повышенного тока утечки между эмиттерной и коллекторной областями связывается обычно с наличием диффузионной трубки, проходящей через базовую об-

ласть транзистора и соединяющей эмиттер с коллектором. Образование этой трубки приводит к появлению в базовой области n - p - n транзистора "столба" n -типа проводимости, объединяющего электрически эмиттерную и коллекторную области (рис. 1, а). В этом случае эмиттерный и коллекторный p - n переходы можно рассматривать как единый p - n переход между областью n - и p -типа проводимости с различными напряжениями пробоя на отдельных участках. Размеры диффузионных трубок оцениваются долями микрона [5], поэтому их выявление с помощью РЭМ в режиме

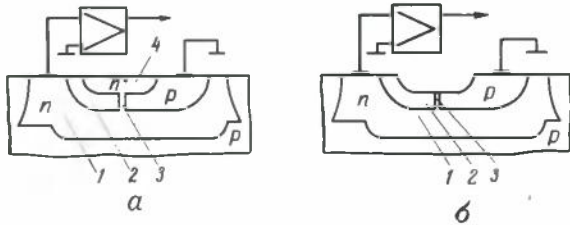


Рис. 1. Разрез структуры транзистора с выходом диффузионной трубки на поверхность до (а) и после (б) травления эмиттера: 1 – коллекторная область; 2 – базовая область; 3 – диффузионная трубка; 4 – эмиттерная область

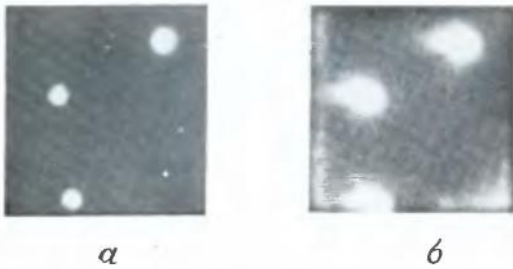


Рис. 2. Микрофотографии одного и того же участка базовой области ($\times 2000$) после удаления эмиттерной области в режиме наведенного тока РЭМ (а) и микроплазменного свечения в местах выхода диффузионных трубок (б)

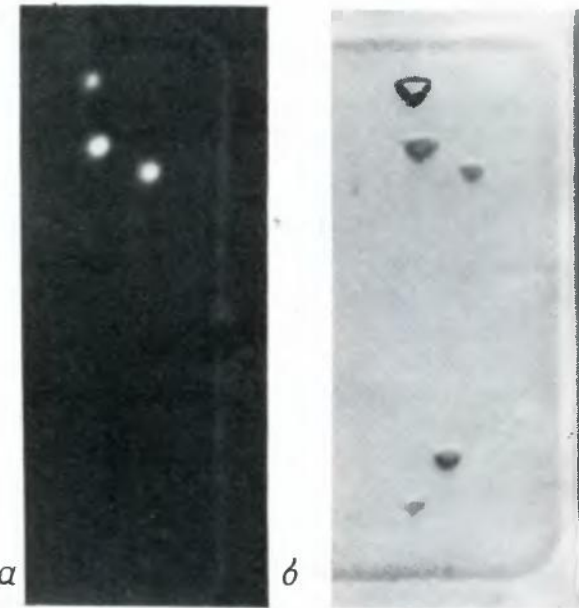


Рис. 3. Микрофотографии области выхода диффузионных трубок на поверхность ($\times 2400$) в режиме наведенного тока РЭМ (а) и в световом микроскопе после травления в хромовом травителе (б)

наведенного тока при просмотре донной части эмиттерного p - n перехода практически невозможно из-за малой (около 1 мкм) разрешающей способности метода [6], а также соизмеримости диффузионной длины неосновного носителя в этой области с размерами самой трубки. Наблюдение коллекторного p - n перехода под эмиттером затруднено из-за экранирования его эмиттером. Устранение эффекта экранирования достигается удалением эмиттерной области транзисторной структуры, для чего необходимо выполнить следующие операции:

- травление окисла кремния над эмиттером. Травление можно проводить без применения маски фоторезиста, так как толщина окисла в транзисторной структуре над этой областью минимальна по сравнению с другими участками;
- химическое травление в полирующем травителе эмиттерной области с применением анодного окисления на заключительной стадии удаления эмиттера. Полирующий травитель представляет собой водный раствор плавиковой, азотной и уксусной кислот в соотношении 1:15:5. Анодное окисление позволяет избежать вытравливания части коллекторного p - n перехода, расположенной под эмиттером.

В структуре транзистора после травления эмиттерной области (рис. 1, б) место выхода диффузионной трубки на поверхность обнаруживается с помощью РЭМ по аномальному контрасту на изображении базовой области в режиме наведенного тока (рис. 2, а). При этом с увеличением диффузионной длины неосновного носителя тока в p -области увеличивается размер пятна аномального контраста и тем самым улучшается процесс выявления диффузионной трубки.

В транзисторе с вытравленным эмиттером местоположение диффузионных трубок можно определять по микроплазменному свечению в местах их выхода на поверхность (рис. 2, б) при обратном смещении коллекторного p - n перехода. Но с помощью этого способа не всегда можно выявить все имеющиеся диффузионные трубки в транзисторе из-за шунтирующего эффекта, возникающего при пробое одной из них. Трудности в фотографировании микроплазменного свечения обусловлены большой длительностью экспозиции и низкой разрешающей способностью метода, что предопределяет использование РЭМ для регистрации трубок.

После определения мест выходов диффузионных трубок на поверхность базовой области ее травят в селективном хромовом травителе. Перед травлением необходимо удалить углеводородную пленку, образующуюся в результате полимеризации паров диффузионного масла под действием электронного пучка на исследуемой поверхности. После травления в хромовом травителе поверхность базовой области фотографируют с помощью светового микроскопа. Затем сопоставляют снимки, полученные в электронном и световом микроскопах (рис. 3 а, б), что дает возможность определить наличие в местах выхода на поверхность диффузионных трубок ямок травления, характерных для структурных дефектов.

Определение минимального диаметра диффузионной трубки, обнаруживаемой методом РЭМ. Изменение плотности электронов (j) в электронном пучке РЭМ от центральной оси пучка к периферии описывается законом Гаусса: $j_r = j_0 e^{-(r/r_0)^2}$.

Диффузионная трубка в $n-p-n$ транзисторе аппроксимируется как цилиндрический "столб" n -типа проводимости, проходящий через активную базу транзистора. При стравливании эмиттерной области транзистора образуется срез диффузионной трубки на уровне залегания донной части эмиттерного $p-n$ перехода. Форму среза можно рассматривать как круговую. Наибольшего значения наведенный ток, модулирующий яркость свечения монитора РЭМ, достигает при совмещении центра сечения эмиттерного пучка с центром сечения диффузионной трубки. Если радиус кругового сечения трубки меньше радиуса электронного пучка, то на кольцевой элемент dS этого сечения, отстоящего от центра на расстоянии r , будет приходиться часть тока электронного пучка $dI = j_r dS$, где $dS = 2\pi r dr$. Тогда $dI = j_0 e^{-(r/r_0)^2} 2\pi r dr$. Величина тока электронного пучка, приходящаяся на все сечение диффузионной трубки,

$$I_{\text{тр}} = \int_0^{r_{\text{тр}}} dI(r) = I_0 [1 - e^{-(r_{\text{тр}}/r_0)^2}],$$

где $I_0 = \pi j_0 r_0$ — полный ток электронного пучка, достигающего поверхности образца.

Электроны, попадающие на поверхность исследуемого объекта, обладают энергией $E = eU$, где U — ускоряющее напряжение электронного микроскопа. Проникая в кремниевую пластину, электрон отдает свою энергию кристаллической решетке полупроводника, что приводит к возникновению электронно-дырочных пар. С учетом потери энергии, обусловленной не только появлением в полупроводнике неравновесных носителей, установлено, что образование одной электронно-дырочной пары в кремнии связано с потерей электроном энергии, равной 5 эВ [7]. Максимальный сигнал на входе усилительного тракта РЭМ должен быть не меньше определенного значения, ограниченно — уровнем шума на входе усилителя. Приравняв предельное значение входного сигнала ($I_{\text{пред}}$) к максимальному значению наведенного тока, найдем наименьший радиус сечения диффузионной трубки, который может быть обнаружен с помощью рассматриваемого метода:

$$I_{\text{с макс}} = I_{\text{пред}}; kI_{\text{тр}} = kI_0 [1 - e^{-(r_{\text{тр}}/r_0)^2}] = I_{\text{пред}};$$

$$r_{\text{тр min}} = r_0 \sqrt{-\ln(1 - I_{\text{пред}}/kI_0)}.$$

Здесь коэффициент $k = eU/5$. Несмотря на знак минус, стоящий перед логарифмом, подкоренное выражение всегда будет положительным, так как значение выражения, от которого берется логарифм, в любых случаях будет меньше единицы. Для простоты в расчете не учитывается диффу-

зия электронно-дырочных пар от микрообласти падения пучка, не проходящейся на место выхода трубки, а также грушевидную форму рассеяния электронов пучка при проникновении его в кремний.

Используя полученное выражение для определения $r_{\text{тр min}}$, можно провести ориентировочный расчет чувствительности предлагаемого метода для РЭМ с электронно-оптическими характеристиками, относящимися к среднему классу данного типа приборов. Пусть $r_0 = 30$ нм; $I_{\text{пред}} = 10^{-9}$ А; $I_0 = 10^{-10}$ А, $k = 2 \cdot 10^2$ (ускоряющее напряжение 1 кВ). Тогда $r_{\text{тр min}} = 5$ нм, т.е. даже с помощью РЭМ среднего класса можно обнаруживать в транзисторных структурах диффузионные трубки размером до 10 нм.

Метод обнаружения с помощью РЭМ диффузионных трубок в транзисторах БИС дает возможность узнать, связано ли образование диффузионной трубки со структурным дефектом, определить характер дефекта (дислокационная петля или прямолинейная дислокация, проходящая через всю кремниевую пластину), а также сделать предположительное заключение о времени образования дефекта. Однако данные о структурном дефекте, получаемые методом селективного травления, не всегда однозначны и их можно рассматривать как вводную информацию для более детального исследования с помощью других методов. Химическое селективное травление не позволяет установить тип структурного дефекта, т.е. его вектор Бюргера, а главное выяснить, связана ли электрическая активность структурного дефекта с наличием второй фазы в области дефекта или электрически активный структурный дефект не декорирован никакими выделениями. Эти вопросы можно решить только с помощью просвечивающей электронной микроскопии.

Разработан метод, позволяющий выявлять при просмотре тонкой кремниевой фольги в просвечивающем электронном микроскопе электрически дефектные диодные и транзисторные структуры, а также электрически активные структурные дефекты в этих элементах, обуславливающие их электрическую дефектность [8].

Метод "метки" электрически дефектных диодов и транзисторов БИС для исследования в просвечивающем электронном микроскопе. Исследование влияния кристаллических нарушений на электрические характеристики $p-n$ переходов сводится к сравнению структурных нарушений диодов и транзисторов, имеющих нормальные вольт-амперные характеристики, с диодами и транзисторами, характеристики которых аномальны.

В настоящее время наряду с металлографическими и рентгеновскими методами исследования структурных дефектов широко применяется метод просвечивающей электронной микроскопии. Он не лишен определенных недостатков (малый объем исследуемого материала, необходимость получения тонкой фольги), но по сравнению с двумя первыми методами обладает значительным преимуществом — большей разрешающей способностью.

Если максимальная разрешающая способность рентгеновского дифракционного метода приближается к 1 мкм, то просвечивающая электронная микроскопия позволяет исследовать структуру объекта с разрешением в несколько нанометров. Высокая разрешающая способность электронной микроскопии делает ее незаменимой в исследовании структурных нарушений базовых и эмиттерных областей транзисторов, так как в технологии изготовления БИС увеличение коэффициента интеграции элементов происходит за счет уменьшения их размеров.

Для наблюдения в просвечивающем электронном микроскопе кристаллических нарушений кремния его необходимо подвергнуть химическому травлению до получения фольги толщиной 0,4–0,8 мкм. Толщина фольги выбирается в соответствии с ускоряющим напряжением электронного микроскопа. При электронно-микроскопическом исследовании утоньшенных базовых и эмиттерных областей необходимо определить, принадлежат ли они электрически дефектным транзисторам или транзисторам с нормальными электрическими характеристиками. С этой целью до последнего времени выполнялись следующие операции:

- измерение вольт-амперных характеристик $p-n$ переходов в диодах и транзисторах, расположенных на кремниевой пластине, для отыскания электрически дефектных элементов;

- выделение кристаллов, в которых находятся диоды и транзисторы с аномальными характеристиками, скрайбированием и последующее химическое травление этих кристаллов до получения фольги;

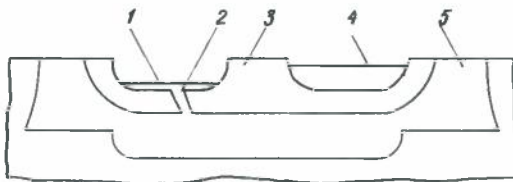


Рис. 4. Разрез структуры двухэмиттерного транзистора после многократного окисления: 1 – углубленная поверхность эмиттерной области, связанная с коллектором через диффузионную трубку; 2 – диффузионная трубка; 3 – базовая область; 4 – эмиттерная область, электрически не связанная с коллектором; 5 – коллекторная область

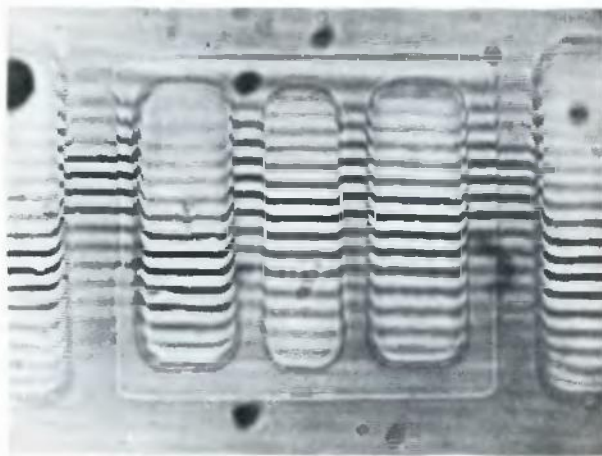


Рис. 5. Интерференционные полосы на поверхности двухэмиттерного транзистора после многократного окисления ($\times 1000$)

- просмотр кремниевых фольг выделенных кристаллов в электронном микроскопе и нахождение в них электрически дефектных диодов и транзисторов. При этом следовало руководствоваться картой годности и знанием топологии исследуемой схемы.

Недостатком метода является большая трудоемкость и отсутствие достаточной корректности эксперимента. При измерении вольт-амперных характеристик, осуществляемом, как правило, с помощью зондового манипулятора, вольтфрамовые иглы при контактировании могут нарушить поверхность эмиттерных и базовых областей. Для исследования диффузионных областей одинаковой конфигурации этот метод вообще не применим, так как не позволяет из массы одинаковых диодов и транзисторов выделить электрически дефектные элементы при наблюдении их в просвечивающем электронном микроскопе.

Разработан метод "метки" диодов и транзисторов ИС, имеющих повышенную токовую утечку или пониженное напряжение пробоя в коллекторном $p-n$ переходе [8]. Процесс "метки" заключается в многократном анодном окислении кремниевой пластины со сформированными в ней диодными и транзисторными структурами. При многократном чередовании электрохимического окисления кремниевой пластины со травлением образующегося анодного окисла происходит резкое уменьшение толщины базовых и эмиттерных областей электрически дефектных диодов и транзисторов. В результате уровень поверхности этих областей опускается значительно ниже поверхности коллектора (в случае диодной структуры) или поверхности базы (в случае транзисторной структуры) по сравнению с поверхностями аналогичных областей диодов и транзисторов с нормальными вольт-амперными характеристиками. После проведения определенного числа процессов окисления, обеспечивающего заметное различие в уровнях поверхностей, кремниевая пластина травится с нерабочей стороны до получения фольги. Травление ведется в химико-динамическом режиме. Для лучшего отделения кристаллов в фольге перед утоньшением пластины с рабочей стороны химическим травлением кремния через маску фоторезиста межсхемные дорожки углубляются до 2–3 мкм.

При наблюдении фольги в просвечивающем электронном микроскопе все базовые области диодных и транзисторных структур, имевших ранее повышенные токовые утечки или пониженное напряжение пробоя в коллекторных $p-n$ переходах, выглядят более светлыми по сравнению с подобными областями диодов и транзисторов, имеющих нормальные вольт-амперные характеристики. Это обусловлено меньшим рассеянием первичного электронного пучка, так как толщина фольги в таких областях значительно меньше по сравнению с базовыми и эмиттерными областями электрически бездефектных структур. Основной принцип предлагаемого метода иллюстрируется рис. 4.

На рис. 5 изображена поверхность двухэмиттерного транзистора после 20-кратного анодного окисления. Левый эмиттер транзистора электрически смыкается с коллектором. Поверхность его углубилась на 0,54 мкм относительно поверхности базы. Электронная микрофотография такого транзистора представлена на рис. 6.

В предлагаемом методе можно заменить многократное анодное окисление электрохимическим травлением [4], используя при этом в качестве электролита не хромовый травитель, а водный раствор глицерина с плавиковой кислотой [9]. Применение такого электролита обеспечивает более высокое качество полируемой поверхности по сравнению с электрохимическим травлением хромовым травителем. В то же время электрохимическое травление с помощью предлагаемого электролита позволяет дополнительно к метке электрически дефектного элемента БИС отмечать в этом элементе электрически активный структурный дефект, вызывающий повышенную утечку тока в $p-n$ переходе. Над электрически активным структурным дефектом, в свою очередь, возникает углубление, связанное с увеличенной плотностью тока при электрохимическом травлении, так как при травлении электрически дефектного элемента весь ток проходит в области расположения этого дефекта. На рис. 7 изображены полученные с помощью электронного микроскопа снимки электрически дефектных диодной и транзисторной структур, на которых углубления указывают на электрически активные структурные дефекты.

Таким образом, метод электрохимической метки позволяет находить в тонкой фольге при просмотре ее в электронном микроскопе не только электрически дефектный элемент БИС, но и электрически активный структурный дефект в элементе. Предлагаемый метод позволяет резко сократить трудоемкость эксперимента по выяснению влияния структурных нарушений в кристалле кремния на электрические характеристики $n-p-n$ транзисторов и p^+-n диодов с помощью просвечивающей электронной микроскопии. В процессе формирования метки не вносятся никаких структурных нарушений в исследуемые области. Метод практически не имеет ограничений в применении, связанных с уменьшением размеров диодных и транзисторных структур БИС.

С целью определения наименьших значений величин токовых утечек проведен расчет чувствительности метода "метки".

Определение наименьшего перепада толщины фольги для получения контраста в электронно-микроскопическом изображении. Интенсивность прямого и дифрагированного пучка определяется из уравнений Хови-Уэлана [10]. Решение системы уравнений позволяет установить отсутствие монотонности в изменении интенсивности каждого из этих пучков в отдельности и монотонное изменение их суммарной интенсивности от изменения толщины просвечиваемой фольги. В связи с этим оценка изменения контраста электронно-микроскопического изображения по предлагаемому

методу "метки" должна вестись в отсутствие апертурной диафрагмы, т.е. когда изображение формируется двумя пучками—прямым и дифрагированным.

На рис. 8 представлены зависимости изменения интегральной интенсивности прямого и дифрагированного пучков от толщины просвечиваемой фольги кремния. В первом случае (рис. 8, а) учитывались рефлексы 000 и 220, во втором (рис. 8, б)—

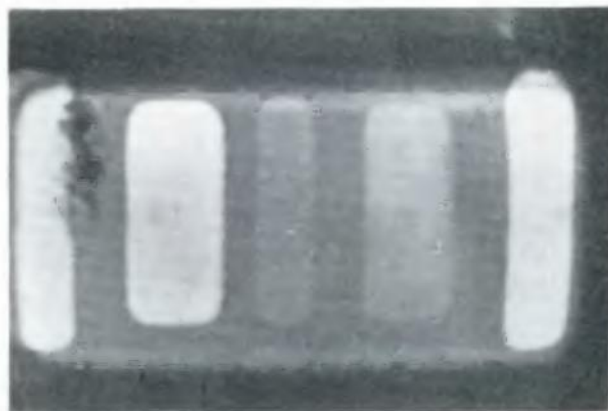


Рис. 6. Электронная микрофотография двухэмиттерного транзистора, левый эмиттер которого имеет электрическое смыкание с коллектором ($\times 1000$)



а



б

Рис. 7. Электронная микрофотография электрически дефектного диода (а) и эмиттерной области электрически дефектного транзистора (б) с электрически активными структурными дефектами

рефлексы 000 и 113. В обоих случаях интегральная интенсивность изменяется по экспоненциальному закону: $I_t = I_0 e^{-Qt}$, где I_t — интегральная интенсивность электронных пучков, прошедших через кремниевую фольгу толщиной t ; I_0 — интенсивность падающего электронного пучка.

Решение уравнений Хови-Узлана относительно интегральной интенсивности проходящих пучков с учетом рефлексов 000 и 220 дает значение эффективного сечения рассеяния $Q = 2,2 \cdot 10^4 \text{ см}^{-1}$, для рефлексов 000 и 113 $Q = 1,2 \cdot 10^4 \text{ см}^{-1}$. Величина Q определена для электронного микроскопа с ускоряющим напряжением 150 кВ.

Выполнение условия экспоненциального рассеяния электронов позволяет применить для расчета контраста электронно-микроскопического изображения соотношение $I_t = I_0 e^{-Qt}$.

Интенсивность электронного пучка в точке изображения в пределах впадины глубиной Δt $I_{\text{впад}} = I_0 e^{-Q(t-\Delta t)}$; изменение интенсивности в области впадины

$$\Delta I = I_0 e^{-Q(t-\Delta t)} - I_0 e^{-Qt} = I_0 e^{-Qt} (e^{Q\Delta t} - 1).$$

Контраст определяется как $\Delta I / I_t = e^{Q\Delta t} - 1 \approx Q\Delta t$ при $\Delta t Q < 1$.

В нашем случае условие $\Delta t Q < 1$ выполняется, так как толщина фольги $t < 10^{-4} \text{ см}$.

Изменение интенсивности, которое можно заметить на изображении, должно составлять ~10%. Для получения улучшенного контраста зададимся вдвое большей величиной. Тогда изменение толщины фольги определим из соотношения

$$\Delta I / I_t \cdot 100\% = 20\% = Q \Delta t; \Delta t = 0,2 / Q = 0,2 / 2,2 \cdot 10^4 = 0,09 \text{ мкм}.$$

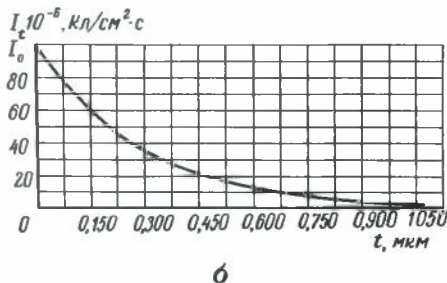
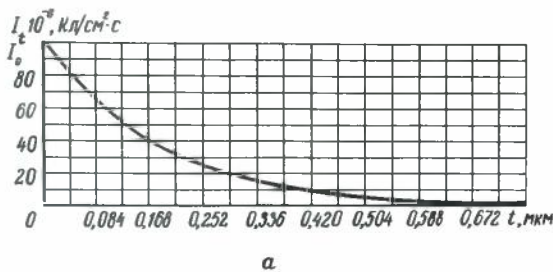


Рис. 8. Зависимость интегральной интенсивности I_t прямых и дифрагированных пучков от толщины t просвечиваемой фольги кремния: а — суммируются рефлексы 000 и 220; б — суммируются рефлексы 000 и 113

Отсюда следует, что электрически дефектные диоды или транзисторы имеют лучший контраст изображения в том случае, если толщина фольги в области их расположения меньше на 0,09 мкм по сравнению с толщиной фольги, где расположены электрически бездефектные диодные или транзисторные структуры. Это справедливо только в том случае, когда максимальная толщина фольги не превышает 0,3 мкм (см. рис. 8, а). Исходя из зависимости изменения интегральной интенсивности проходящего и дифрагированного пучков от толщины просвечиваемой фольги, а также из практики получения тонкой фольги для исследования в просвечивающем электронном микроскопе с ускоряющим напряжением 150 кВ, наиболее оптимальной будет фольга с толщиной ~0,75 мкм. В этом случае для обеспечения заданного контраста толщина фольги эмиттерной области электрически дефектного транзистора должна быть ~0,3 мкм. Для этого необходимо электрохимическим травлением создать в фольге углубление ~0,4 мкм. Эта величина может быть принята за исходную при определении чувствительности метода "метки".

Углубления на поверхности кремниевой пластины в местах расположения электрически дефектных диодных и транзисторных структур формируются электрохимическим травлением. Массу вытравливаемого кремния можно определить, воспользовавшись законом Фарадея:

$$\Delta m = M \frac{z\tau}{zF} B_T,$$

где i — величина повышенного тока утечки [мкА]; τ — время травления [с]; z — валентность кремния в реакции $\text{Si}^{4+} + 4e^- = \text{Si}$; $F = 96487 \text{ Кл}$ — число Фарадея; B_T — выход по току; $M = 28,086 \text{ г}$ — грамм-молекулярный вес кремния.

В случае применения электролита, представляющего собой раствор глицерина с плавиковой кислотой, $B_T = 5\%$. Объем углубления, образующегося при локальном электрохимическом травлении, $V_{\text{угл}} = S \Delta t = \Delta m / d$, где S — площадь эмиттерной области транзистора [см²], Δt — величина углубления после электрохимического травления (в данном случае 0,4 мкм); $d = 2,33 \text{ г/см}^3$ — удельный вес кремния. Тогда найдем минимальное значение повышенного тока утечки

$$i_{\text{min}} = \frac{\Delta t z F S d}{\tau M B_T} = 26 \frac{S}{\tau} [\text{А}].$$

Из полученного соотношения видно, что чувствительность данного метода возрастает с уменьшением площади эмиттерных областей транзисторных структур БИС и с увеличением времени электрохимического травления. Отсюда следует, что для визуализации в просвечивающем электронном микроскопе электрически дефектной транзисторной структуры, имеющей площадь эмиттерной области 20 мкм², необходимо осуществить электрохимическое травление в течение 10 с, если величина повышенного тока утечки между эмиттером и коллектором равна 0,4 мкА.

Таким образом, применение электрохимического метода в сочетании с электронно-микроскопическим при исследовании электрически активных дефектов в диодных и транзисторных структурах БИС резко повышает возможности электронной микроскопии в прицельном изучении этих дефектов, а также позволяет соединить в себе высокую чувствительность электрохимического метода к электрической дефектности элементов БИС с высоким разрешением электронной микроскопии.

ЛИТЕРАТУРА

1. Матаре Г. Электроника дефектов в полупроводниках. — М.: Мир, 1974, с. 102.
2. Локализация токовых утечек между эмиттером и коллектором с помощью РЭМ/ Лабутин Н.И., Волк Ч.П., Пошин В.Г., Кузин К.Б. — В кн.: Материалы IX Всесоюзной конференции по электронной микроскопии, М., Наука, 1973, с. 91–92.
3. Амелинкс С. Методы прямого наблюдения дислокаций, М., Мир, 1968, с. 16.
4. Plantinga H. Influence of dislocations on properties of shallow diffused transistors. — IEEE, ED-16, 1969, N 4, p. 394–400.
5. Varson F, Hess M. S., Roy M. M. Diffused pipes in the n-p-n transistors. — J. Electrochem. Soc., 1969, vol. 116, N 2, p. 164.
6. Галстян В. Г., Носиков С. В. Применение растрового электронного микроскопа в полупроводниковой электронике. — Зарубежная электронная техника, 1971, № 9, с. 55–80.
7. Oatley C., Nixon W. Scanning electron microscopy. — *Advanc. in Electr. and Electr. Phys.*, 1965, vol. 21, p. 181–247.
8. Лабутин Н. И., Парамонова В. Н., Кузин К. Б. Метод "метки" электрически дефектных диодов и транзисторов для просвечивающей электронной микроскопии. — Материалы IX Всесоюзной конференции по электронной микроскопии, М., Наука, 1973, с. 179–180.
9. Лабутин Н. И., Парамонова В. Н., Поляков В. П. Электрохимические методы контроля в технологии создания БИС. — *Наст. выпуск*, с. 37.
10. Электронная микроскопия тонких кристаллов /П.Хирш, А.Хови, Р.Николсон, Д.Пешли, М.Уэлан. — М.: Мир, 1958, с. 167–215.

Статья поступила 4 марта 1980 г

УДК 621 3.049.77.002.56

Н. И. Лабутин, В. Н. Парамонова, В. П. Поляков

ЭЛЕКТРОХИМИЧЕСКИЕ МЕТОДЫ КОНТРОЛЯ В ТЕХНОЛОГИИ СОЗДАНИЯ БИС

Для контроля рабочих элементов БИС на стадии их формирования целесообразно использовать электрохимические методы, которые благодаря высокой производительности, простоте аппаратного оснащения и наглядности получаемых результатов являются наиболее оперативными методами обнаружения дефектности диодных и транзисторных структур.

Переход от ИС с малой степенью интеграции к большим интегральным схемам диктует необходимость разработки оперативных методов контроля электрической дефектности их компонентов. Такой

контроль необходим прежде всего на ранних этапах технологического процесса изготовления ИС — до операции нанесения металлизации. Он позволяет изъять из технологического процесса пластины с большим количеством электрически дефектных кристаллов еще до нанесения металлизации, а также оценить вклад в электрическую дефектность диодных и транзисторных структур операций, непосредственно формирующих эти элементы.

На начальном этапе развития микроэлектроники предполагалось, что оперативный метод контроля ИС будет основываться на растровой электронной микроскопии, которая в своих проектируемых возможностях казалась незаменимым инструментом исследования и контроля создаваемых ИС на всех стадиях их производства. К сожалению, растровая электронная микроскопия и в настоящее время не располагает методами оперативного контроля электрической дефектности диодных и транзисторных структур БИС на ранних стадиях их производства. Это объясняется тем, что бесконтактный метод контроля компонентов БИС на кремниевой пластине, основанный на регистрации изменения прошедшего через пластину тока, обладает малой чувствительностью и большой неопределенностью. Малая чувствительность обусловлена особенностью работы растрового электронного микроскопа в режиме генератора постоянного тока, обладающего большим внутренним сопротивлением (порядка 10^9 Ом), в связи с чем ток пучка электронного микроскопа практически не зависит от изменения электрического сопротивления участков исследуемой пластины. Неопределенность исходит из неконтролируемости величины вторичной эмиссии с различных участков поверхности кремниевой пластины, а также прямого смещения наведенной фото-ЭДС исследуемых *p-n* переходов. Изменение ускоряющего напряжения до значений, сопоставимых с величиной пробоя *p-n* перехода, резко ухудшает разрешающую способность растрового электронного микроскопа вследствие увеличения размера сечения электронного пучка на поверхности объекта, а также возрастающей статической подзарядки поверхности исследуемой пластины. Все это ограничивает применение низковольтного растрового электронного микроскопа для контроля электрической дефектности диодных и транзисторных структур, имеющих размеры менее чем 100×100 мкм.

Практика показывает, что электронно-микроскопические методы контроля электрической дефектности компонентов БИС, связанные с установкой токосъемных или токоподающих зондов на соответствующие участки микроскопемы, обладают достаточной оперативностью только при контроле БИС с токоведущей разводкой. Поэтому они не применимы для контроля компонентов БИС на этапе, предшествующем созданию токоведущей разводки. Развитие метода, основанного на наблюдении потенциального контраста в растровом электронном микроскопе, а также методов контроля с помощью оптических сканирующих устройств [1–3] позволяет надеяться на осуществление оперативного контроля БИС на указанном этапе их производства. Однако разработка этих методов находится пока в начальной стадии.

Параллельно с растровой электронной микроскопией были предприняты попытки создания оперативного метода контроля электрической дефектности элементов ИС до металлизации с помощью электрохимических методов [4]. К настоящему времени раз-

работаны различные варианты разрушающих и неразрушающих электрохимических методов контроля. Суть этих методов заключается в следующем. Составляется электролитическая ячейка, в которой одним электродом является исследуемая кремниевая пластина со сформированными на ней диодными или транзисторными структурами, а вторым электродом служит пластина из графита, платины или из нержавеющей стали. Затем на электролитическую ячейку подается напряжение от источника постоянного тока. Если контролируется в $n-p-n$ транзисторах наличие повышенных токовых утечек в коллекторных $p-n$ переходах, то анодом служит кремниевая пластина, если контролируется электрическая дефектность разделительного $p-n$ перехода (коллектор-подложка) или дефектность электрической изоляции базовой области относительно подложки, то кремниевая пластина должна служить катодом.

Визуализация электрически дефектных элементов БИС связана с образованием на поверхности этих элементов продуктов электрохимических реакций взаимодействия кремния с компонентами электролита при протекании электрического тока.

Рассмотрим более подробно выявление электрически дефектных транзисторных структур $n-p-n$ типа с помощью анодного окисления. При наличии в кремниевой пластине диодных или транзисторных структур скорость электрохимического окисления поверхности пластины в разных местах неодинакова: поверхность базовых областей транзисторов окисляется значительно медленнее коллекторных, так как они отделены от последних коллекторным $p-n$ переходом. В результате приложенного постоянного напряжения коллекторный $p-n$ переход смещается в обратном направлении и становится добавоч-

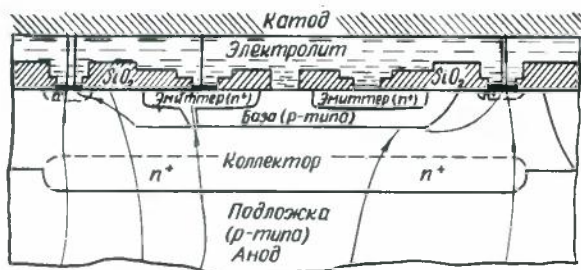


Рис. 1. Принципиальная схема анодного окисления $n-p-n$ транзисторной структуры для выявления повышенной токовой утечки

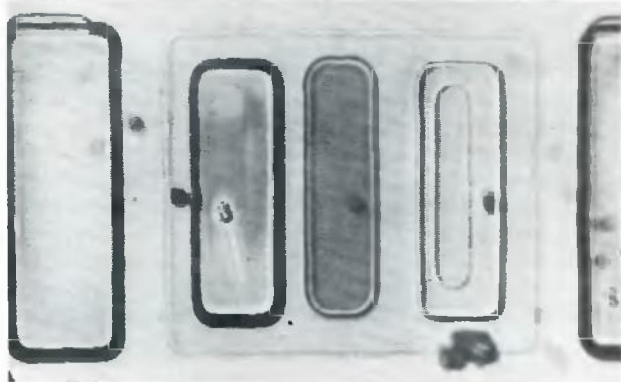


Рис. 2. Поверхность двухэмиттерного транзистора после электрохимического травления. Левый эмиттер, имеющий электрическую связь с коллектором, углублен относительно поверхности базы ($\times 1000$)

ным сопротивлением в микроцепи электрического тока окисления (рис. 1). Но если коллекторный $p-n$ переход будет иметь повышенный ток утечки, то его сопротивление току электролиза резко уменьшится и поверхность базовой области начнет интенсивно окисляться. В этом случае электрохимическому окислению подвергнется и поверхность эмиттера, поскольку смещенный в прямом направлении эмиттерный $p-n$ переход не добавляет в цепь электролиза существенного сопротивления. Образующаяся на поверхности базовой области и эмиттера окисная пленка за счет интерференционного эффекта окрашивает их, выявляя таким образом электрически дефектные транзисторы из числа транзисторов с нормальными вольт-амперными характеристиками.

Для диодных $n-p^+$ структур электрохимическое окисление поверхности p -области происходит также при наличии повышенного тока утечки в обратном-смещенном $p-n$ переходе. Подбирая величину потенциала электрода и длительность процесса электрохимического окисления, можно фиксировать различные по величине токи утечки коллекторных $p-n$ переходов. Такой подбор осуществляется путем регистрации появления анодного окисла в базовых и эмиттерных областях электрически дефектных транзисторов и минимальной величины тока утечки в их коллекторных $p-n$ переходах при различных напряжениях источника постоянного тока, подаваемых на электролитическую ячейку.

По такому же принципу обнаруживаются электрически дефектные диодные и транзисторные структуры с помощью анодного травления. В этом случае внешним признаком, выделяющим электрически дефектный элемент из числа годных, служит углубление (с утолщением по контуру) соответствующей области транзисторной или диодной структуры (рис. 2).

При анодном окислении кремниевой пластины, осуществляемом с целью выявления в ней электрически дефектных элементов БИС, можно применять различные электролиты. Так, в работе [5] в качестве электролита использовался 10%-ный водный раствор NaClO_4 .

Для получения видимой окисной пленки кремния толщиной ~ 50 нм напряжение, подаваемое на электролитическую ячейку в процессе окисления, постепенно повышалось от 3 до 30 В. Вместе с тем можно использовать в качестве электролита и водные растворы некоторых минеральных кислот. Анодное окисление кремниевых пластин можно проводить и в растворах органических кислот, таких как: водный раствор лимонной кислоты с перекисью водорода или водный раствор винной кислоты. При выборе состава электролита необходимо, чтобы компоненты электролита не растворяли кремниевый окисел, не загрязняли поверхность кремния и окисла ионами щелочных металлов и обеспечивали максимально возможное сохранение чистоты поверхности пластин.

Электрохимическое окисление проводится при постоянном напряжении. В случае контроля электрической дефектности диодных структур напряжение, подаваемое на электролитическую ячейку, равно 30 В, а при контроле транзисторных структур — 20 В. Время окисления составляет 20 мин.

Такие режимы дают возможность выявить в диодных структурах минимальный ток утечки в $p-n$ переходе, равный 10–15 мкА, а в транзисторной структуре — 5–10 мкА при напряжении обратного смещения 5 В. Увеличив напряжение, подаваемое на

электролитическую ячейку, на 5–10 В, можно повысить чувствительность метода до 1–2 мкА. Однако такое повышение чувствительности возможно, если напряжение пробоя коллекторного *p-n* перехода транзисторных структур не менее 20 В. При контроле низковольтных транзисторных структур чувствительность может быть повышена только за счет увеличения длительности проведения электрохимического процесса. Но этот путь практически неприемлем, так как время анодного окисления составляет 2–3 ч. Поэтому, как правило, транзисторные структуры, имеющие напряжение пробоя коллекторного *p-n* перехода менее 10 В, анодным окислением не контролируются.

Вместе с тем существует ограничение применения анодного окисления как метода контроля и для высоковольтных транзисторов, получаемых по эпитаксиально-планарной технологии. Оно связано с образованием инверсного слоя на поверхности кремния, если объемная концентрация доноров в нем ниже 10^{16} см^{-3} . Этот слой электрически соединяет базовую область с областью разделительной диффузии (рис. 3), что приводит к окислению всех транзисторных структур. Возникает парадоксальная ситуация: высоковольтные транзисторы, которые обычно создаются в высокоомных эпитаксиальных слоях, необходимо контролировать при пониженном напряжении, подаваемом на электролитическую ячейку. Например, при контроле ИС, создаваемых в эпитаксиальном слое с $\rho = 1,5 \text{ Ом}\cdot\text{см}$, напряжение на электролитической ячейке не должно превышать 10 В. Но при этом даже длительное время анодного окисления не позволяет получить на электрически дефектных элементах ИС визуальную различимую пленку анодного окисла кремния.

Следует отметить, что рассмотренное ограничение в использовании анодного окисления для контроля электрической дефектности ИС распространяется только на те ИС, которые получают по планарно-эпитаксиальной технологии. В случае изготовления БИС по изопланарной технологии этого ограничения нет, поскольку в таких БИС боковая изоляция диодных и транзисторных структур осуществляется толстым окислом кремния, который предотвращает образование электрической связи базовой области с подложкой даже при образовании инверсионного канала.

Таким образом, анодное окисление не может быть использовано как метод контроля электрической дефектности низковольтных диодных и транзисторных структур, а также аналогичных элементов ИС, созданных в высокоомных эпитаксиальных слоях по планарно-эпитаксиальной технологии.

Выход из создавшегося положения – в замене анодного окисления анодным травлением. При анодном травлении постоянное напряжение, подаваемое на электролитическую ячейку, как правило, не превышает 10 В, а время травления – 2–3 мин. В качестве электролита целесообразно использовать водный раствор глицерина с плавиковой кислотой, который полностью исключает химическое травление кремния.

При анодировании в водном растворе HF [6] анодное смещение не превышает 3 В, а время проведения процесса 1–2 мин. На поверхности электрически дефектных транзисторных структур при прохождении тока определенной плотности происходит электрохимическая реакция взаимодействия кремния с плавиковой кислотой, в результате чего обра-

зуется рыхлый осадок, представляющий собой смесь фтористого и аморфного кремния. В момент образования осадка его электрическое сопротивление невелико, поэтому толщины пленок пропорциональны плотности тока при их образовании. Цвет пленки позволяет качественно оценить величину тока утечки между эмиттером и коллектором в однотипных по топологии транзисторных структурах, т.е. в транзисторах, имеющих одинаковые площади эмиттерных областей. В этом существенное преимущество данного метода перед другими электрохимическими методами.

При сравнении метода анодного окисления с методом электрохимического травления можно было бы отдать предпочтение последнему. Он более оперативен (время проведения процесса на порядок меньше, чем при анодном окислении), более универсален, обладает большей чувствительностью (может достигать 0,01 мкА). Это обусловлено тем, что при анодном травлении на поверхности электрически дефектного элемента не растет анодная пленка двуокиси кремния, резко увеличивающая электрическое сопротивление микроцепи электролиза. Однако при всех перечисленных достоинствах метод электрохимического травления обладает большим недостатком – травление разрушает пластину.

Анодное же окисление для определенного класса схем можно считать неразрушающим методом контроля электрической дефектности элементов ИС. Визуализация электрически дефектных элементов при анодном окислении осуществляется при появлении на них пленки окисла кремния толщиной 50–60 нм. Окисел такой же толщины вырастает и на поверхности коллекторных областей, если они открыты в момент проведения анодного окисления. При этом он распространяется всего лишь на глубину кремния 25–30 нм, что в дальнейшем не влияет на увеличение переходного сопротивления металл–коллектор.

Этот окисел удаляется в течение 5 с травлением в 2%-ном растворе плавиковой кислоты перед напылением на пластину металлической пленки для создания токоведущей разводки и не влечет за собой существенного стравливания фосфорно-силикатного стекла с поверхности пластины.

Неразрушаемость метода анодного окисления позволяет проследить развитие электрической дефектности в транзисторных структурах в сопоставлении с электрической дефектностью предшествовавших им диодных структур, а также оценить влияние повышенной утечки тока в транзисторных структурах на выход годных ИС путем сравнения

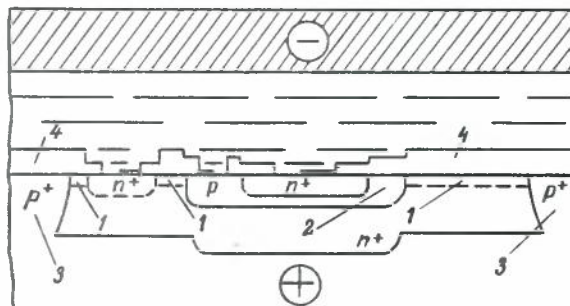


Рис. 3. Образование инверсионного канала на поверхности коллекторной области *n-p-n* транзистора: 1 – инверсионный канал; 2 – базовая область; 3 – область разделительной диффузии; 4 – термический окисел кремния

карт годности, составленных после формирования транзисторных структур и контроля схем на функционирование.

Рассмотренные выше методы контроля электрической дефектности БИС основаны на визуализации электрически дефектных элементов схем, которая становится возможной в результате взаимодействия участков поверхности кремниевой пластины в области этих элементов с электролитом, т.е. связана в большей или меньшей степени с частичным удалением приповерхностных слоев кремния с определенных областей диодных или транзисторных структур. Однако применением соответствующих электролитов можно избежать этого. В качестве такого электролита возможно использование солянокислого раствора бензидина с концентрацией 0,05 моль/л (содержание соляной кислоты в растворе составляет 0,3 моль/л), в который добавляется небольшое количество желатина (3 г/л). Если во всех вышеперечисленных электролитах индикация электрически дефектных элементов ИС происходит вследствие окисления кремния, то в данном случае анодному окислению подвергается бензидин на кремниевом электроде. Экспериментально установлено [7], что в результате анодного процесса на кремнии независимо от природы легирующей примеси бензидин на проводящих участках превращается в продукт темно-синего цвета. Поскольку плотность тока при анодном окислении бензидина мала ($j_a = 10^{-6}$ А/см²), то окисления кремния не происходит: поверхностные окислы на кремнии появляются в результате поляризации при $j_a = 5 \cdot 10^{-4}$ А/см² [8]. Процесс анодного окисления бензидина идет при постоянном напряжении, равном 3–5 В, в течение 1–2 мин. Удаление пленки окисленного бензидина производится промыванием пластины в водном растворе соляной кислоты.

В качестве неразрушающих электролитов могут служить также солянокислые растворы красителей, таких как толидин, дианизидин, дихлорбензидин и др. Наиболее контрастные "отпечатки" получаются при окислении бензидина. Кроме того, при электроокислении бензидина достигается самая большая чувствительность к повышенным утечкам тока: можно фиксировать утечки тока менее 0,01 мкА при напряжении смещения 5 В.

Перечисленные методы выявления повышенных утечек тока в транзисторных структурах на основе анодного окисления кремния позволяют контролировать в *n-p-n* транзисторах только электрическую дефектность коллекторного *p-n* перехода. Это обусловлено полярностью постоянного напряжения, прикладываемого к электролитической ячейке. Контроль состояния эмиттерного *p-n* перехода, а также разделительного *p-n* перехода в таких структурах может быть осуществлен только при такой полярности приложенного к электролитической ячейке напряжения, когда кремниевая пластина является

катодом. В этом случае индикация электрически дефектных элементов БИС происходит за счет осадка, образующегося в результате восстановительной реакции, идущей на катоде. В качестве электролита используется 1,5%-ный водный раствор хлористого никеля, либо аналогичный раствор с добавкой HF [9]. Кроме того, могут быть использованы водные растворы солей олова, свинца, кобальта и других металлов, нормальные электродные потенциалы которых близки к нормальному водородному потенциалу. Если электродный потенциал металла анода выше водородного, осаждение металлических осадков на поверхность кремния будет происходить в результате химического замещения, если ниже водородного — на катоде будет выделяться водород, что затруднит выявление электрически дефектных элементов ИС. С этой точки зрения, а также потому, что никель имеет лучшую адгезию к кремнию, никель является наиболее приемлемым элементом для катодного восстановления.

Катодным восстановлением никеля на кремниевой пластине достаточно легко контролировать электрическую изоляцию элементов БИС, в то же время контроль эмиттерного *p-n* перехода требует определенных условий. Поскольку напряжение, подводимое к электролитической ячейке, смещает в *p-p-n* транзисторной структуре в обратном направлении сразу два *p-n* перехода — разделительный и эмиттерный, то при отсутствии повышенной токовой утечки в разделительном *p-n* переходе контроль электрохимическим методом электрической дефектности эмиттерного *p-n* перехода невозможен. В связи с этим создаются специальные транзисторные структуры, у которых базовые области закорочены на подложку. В транзисторных структурах, базовая электрическая изоляция которых осуществляется термическим окислом кремния увеличенной толщины, электрическое смыкание базовых областей с подложкой достигается тем, что операция глубокого окисления не проводится. При выполнении электрической изоляции отдельных компонентов ИС *p-n* переходом электрическая связь базовой области с областью разделительной диффузии осуществляется путем проведения диффузии бора по всей поверхности пластины. Электрические профили получаемых при этом транзисторных структур представлены на рис. 4.

Применение электрохимической методики для контроля таких транзисторных структур позволяет оценивать не отдельные рабочие пластины с нормально сформированными элементами БИС, а технологический процесс в целом с точки зрения обеспечения условий отсутствия токовых утечек в эмиттерных *p-n* переходах. Электрохимические катодные методы контроля дефектности элементов БИС можно считать неразрушающими для контролируемых пластин, если обеспечивается хорошая последующая очистка поверхности пластины от высаживаемых металлических пленок.

В настоящее время уменьшение размеров рабочих элементов только для электрохимических методов не является принципиальной трудностью при оперативном контроле электрической дефектности БИС.

Электрохимические методы контроля просты в аппаратном и методическом отношении. В то же время эти методы не являются универсальными при решении всех вопросов контроля электрической дефектности рабочих элементов БИС на стадии их формирования. Как отмечалось выше, электриче-

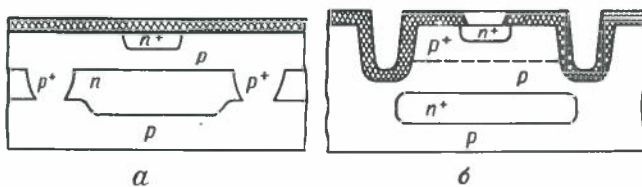


Рис. 4. Электрические профили транзисторных структур с закороченными базовыми областями на подложку, изготавливаемых по эпитаксиально-планарной (а) и по изопланарной технологии (б)

скую дефектность эмиттерных *p-n* переходов транзисторных структур на рабочих пластинах контролировать с помощью электрохимических методов пока невозможно.

В настоящее время назрела необходимость создания автоматической установки оптического контроля пластин после их электрохимической обработки. Эта установка должна заменить операторов, которые с помощью оптических микроскопов составляют карты годности на пластины после обнаружения на них электрически дефектных элементов БИС. Решение этой проблемы повысит значимость электрохимических методов как оперативных методов контроля электрической дефектности рабочих элементов БИС.

ЛИТЕРАТУРА

1. Галстян В.Г., Носиков С.В. Применение растрового электронного микроскопа в полупроводниковой электронике. — Зарубежная электронная техника, 1971, № 9, с. 55–80.
2. Dyukov. A simple technique of potential distribution mapping on a scanning electron microscope. — Microscopica Acta, 1978, vol. 80, N 5, p. 367–374.
3. Ангелова Л.А., Бегишев А.Р. Исследование микросхем методом сканирования лазерным лучом. — Электронная промышленность, 1979, № 1–2, с. 102–107.
4. Plantiaga H. Influence of dislocations on properties of shallow diffused transistors. — IEEE ED-16, 1969, N4, p. 394–400.
5. Kulkarni M.V., Hasson I.C., James Q.A.A. Mapping of electrical leakage in transistors by anodic oxidation. — IEEE ED-19, 1972, N 10, p. 1098–1102.
6. Kulkarni M.V., Smith P.J. Structure of anodically *p-p-n* bipolar transistors. — J. Electrochem. Soc.: Solid-State and Technology, 1974, vol. 121, N 2, p. 280–286.
7. Лабутин Н.И., Сорокин И.Н., Парамонова В.Н. Электрохимический метод выявления поверхностной неоднородности диффузионных областей в кремнии. — ЖФХ, 1973, т. XLVII, № 1, с. 261–262.
8. Элькин Б.И. Вопросы металлургии и физики полупроводников. М.: 1957, с. 15.
9. IS. M. Nu. Cathodic mapping of leakage defects. — J. Electrochem. Soc.: Solid-State Science and Technology. 1977, vol. 124, N4, p. 578–582.

Статья поступила 7 марта 1980 г.

УДК 621.317:621.383.9

А. Б. Гитцевич, И. К. Крылов

АВТОМАТИЗАЦИЯ КОНТРОЛЯ ПАРАМЕТРОВ СВЕТОИЗЛУЧАЮЩИХ ПРИБОРОВ

Аппаратура автоматического контроля для выпускаемых многоэлементных приборов и светоизлучающих структур на пластинах, основанная на использовании принципов эффективного преобразования и обработки оптических сигналов, обеспечивает контроль параметров по 200 тестам за 0,5–1,5 с.

Одним из важных направлений повышения эффективности серийного производства полупроводниковых светоизлучающих приборов (СИП) является

автоматизация контроля фотометрических и электрических параметров.

В настоящее время выпускается широкая номенклатура светоизлучающих приборов [1], большинство из которых представляет собой матрицы светоизлучающих диодов на основе материалов типа $A^{III}B^V$ и их твердых растворов, имеющих либо один общий электрод, либо электроды, соединенные между собой перекрестной коммутацией. Электрические и фотометрические параметры таких приборов приведены в табл. 1.

Автоматизация контроля электрических параметров СИП основана на известных принципах, реализуемых в информационно-измерительных системах, используемых в производстве полупроводниковых приборов и ИС [2].

При проектировании автоматизированной аппаратуры для контроля фотометрических параметров необходимо учитывать энергетические, пространственные и спектральные характеристики контролируемого оптического сигнала.

Измерение силы света СИП требует преобразования светового потока Φ_v , заключенного в малом телесном угле $\omega \leq 0,1$ ср, в аналоговый электрический сигнал. Эта задача осуществляется с помощью фотоэлектронного преобразователя, образованного оптическими элементами, формирующими световой пучок, и фотоприемником с корригирующими светофильтрами. Преобразователь имеет относительную спектральную характеристику $S(\lambda)$

Таблица 1

Параметры светоизлучающих приборов	Пределы измеряемых значений	Принцип контроля
Фотометрические: Сила света элемента I_v , мккд	20–10 ⁶	Измерение светового потока в малом телесном угле
Среднее значение силы света элемента (для многоэлементных приборов) $I_{v\text{ ср}}$, мккд	40–10 ⁶	
Разброс силы света между элементами прибора	1–5	Измерение отношения силы света наиболее яркого элемента $I_{v\text{ max}}$ к силе света наименее яркого элемента $I_{v\text{ min}}$
Цвет свечения		Сравнение с контрольным образцом
Электрические: Прямое напряжение элемента $U_{\text{пр}}$, В	1,5–6	Измерение по методике ГОСТ 18986.3–73
Обратный ток элемента $I_{\text{обр}}$, А	10 ⁻⁶ –10 ⁻⁴	Измерение по методике ГОСТ 18986.1–73
Сопротивление утечки между элементами прибора с перекрестной коммутацией R_y , Ом	10 ² –10 ⁴	Измерение тока при напряжении между элементами ИВ

(в пределах погрешности 4–6%), близкую к характеристике видности монохроматического излучения по ГОСТ 11093–64 в диапазоне длин волн λ_1, λ_2 , в котором сосредоточено излучение СИП, и телесный угол, не превышающий 0,1 ср, с собранным в нем излучением измеряемого СИП, попадающего на фотоприемник.

Улучшение условий фильтрации сигнала на фоне помех, создаваемых внешним световым фоном, достигается благодаря тому, что используемый фотоприемник обладает высокой стабильностью чувствительности, широким диапазоном линейности световой характеристики (~60 дБ) и достаточным быстродействием (время установления фототока не более 200 нс), обеспечивающим прием световых сигналов, модулированных повышенной частотой.

Получение этих трудно совместимых свойств достижимо за счет снижения интегральной чувствительности к световому потоку S_{Φ_v} при подборе

соответствующих корректирующих светофильтров.

Из рис. 1 видно, что относительная спектральная характеристика кремниевого фотодиода $S'(\lambda)$ может быть трансформирована путем снижения чувствительности S_{Φ_v} с помощью светофильтров в

спектральную характеристику, приближающуюся к $V(\lambda)$.

Интегральная чувствительность фотопреобразователя к световому потоку определяется соотношением [3]:

$$S_{\Phi_v} = S_{em} \int_{\lambda_1}^{\lambda_2} S(\lambda) F(\lambda) d\lambda / K_m \int_{\lambda_1}^{\lambda_2} F(\lambda) V(\lambda) d\lambda, \quad (1)$$

где $S_{em} \cong 0,14$ А/Вт — чувствительность ФЭП к потоку излучения в максимуме спектральной характеристики на длине волны $\lambda_p = 0,555$ мкм; $F(\lambda)$ — относительная спектральная характеристика СИП;

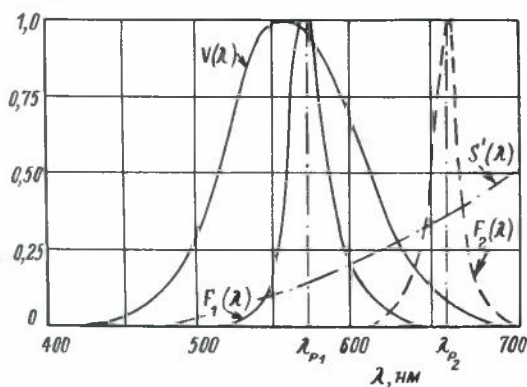


Рис. 1. Относительные спектральные характеристики источника излучения зеленого цвета $F_1(\lambda)$, красного цвета $F_2(\lambda)$, видности монохроматического излучения $V(\lambda)$, чувствительности кремниевого фотодиода $S'(\lambda)$

$K_m = 683$ лм/Вт — световой эквивалент единицы потока излучения на длине волны λ_p .

Интегральная чувствительность ФЭП к силе света S_{I_v} определяется коэффициентом пропускания оптической системы $\tau_{opt} \cong 0,8$, чувствительностью к световому потоку (1), телесным углом ω поля зрения фотопреобразователя и при $S(\lambda) \rightarrow V(\lambda)$ составляет

$$S_{I_v} = \tau_{opt} \omega S_{\Phi_v} \cong \tau_{opt} \omega S_{em} / K_m = 1,6 \cdot 10^{-5} \text{ А/кд.} \quad (2)$$

Поскольку диапазон измеряемых значений I_v находится в пределах $2(10^{-5} - 10^{-3})$ кд, то значение аналогового фотосигнала

$$i_{\Phi} = I_v S_{I_v} = 3,2 \cdot 10^{-10} \div 1,6 \cdot 10^{-8} \text{ А.}$$

Таким образом, уровень фотосигналов, получаемых на выходе ФЭП, мал, и поэтому для обработки аналого-цифровыми преобразователями информационно-измерительных систем его следует усилить до приемлемого уровня и отделить от шумов, которые обусловлены как свойствами фотоприемника, так и внешним радиационным фоном (при этом остаточный шум не должен превышать $5 \cdot 10^{-12}$ А).

Эффективным средством борьбы с шумом является модуляция измеряемого светового сигнала с последующей демодуляцией в канале усиления. Модуляция светового потока достигается подачей в элементы СИП прямоугольных импульсов тока достаточно высокой частоты. Поскольку для светоизлучающих диодов время жизни неравновесных носителей заряда $\tau_p \cong 10 - 100$ нс, то при $2\pi f \tau_p \ll 1$ излучение СИП повторяет закон модуляции прямого тока. Использование быстродействующего фотодиода в ФЭП позволяет получить в токе фотоприемника составляющую частоты f , которая содержит в своей амплитуде информацию об измеряемом световом сигнале и таким образом позволяет обеспечить измерение малых световых потоков без необходимости помещать фотоприемник и измеряемый прибор в защищенную от внешнего света камеру. Измерение может проводиться в условиях как естественного, так и искусственного освещения в рабочем помещении, что важно при построении автоматизированной аппаратуры контроля.

На рис. 2 приведена структурная схема устройств задания режима преобразования и обработки фотосигнала. Ток $I_{пр}$, поступающий в фотодиод $VD1$ от генератора тока, коммутируется транзистором VT , переключаемым последовательно импульсов (типа меандр), подаваемых на его базу. Эта же последовательность импульсов подается на синхронный детектор, включенный на выходе

операционного усилителя, усиливающего ток фото диода. Синхронное детектирование позволяет усилить переменную составляющую, обусловленную модуляцией светового потока диода VD1, и подавить шумовую составляющую и сигнал помехи, создаваемый внешней засветкой.

Фотопреобразователь ФЭП-3 (рис. 3) выполнен на фотодиоде ФД-24К и предназначен для измерения силы света и производных от нее параметров многоразрядных знаковых индикаторов (с числом разрядов до 12) и многоэлементных дисплеев.

Техническая характеристика

Чувствительность к силе света, А/кд	
на расстоянии 142 мм	$1,5 \cdot 10^{-3}$
на расстоянии 390 мм	$1,8 \cdot 10^{-6}$
Чувствительность к световому потоку, А/лм	$1,5 \cdot 10^{-4}$
Уровень шумов в полосе 1 кГц при освещенности рабочего места 100 лк, А	$4 \cdot 10^{-12}$
Диапазон измеряемых значений силы света, кд	$2(10^{-3} \div 10^{-2})$
Погрешность измерений силы света, %	
при $\lambda_m = 560$ нм	± 6
при $\lambda_m = 660$ нм	± 10

Описанные выше принципы преобразования светового сигнала в аналоговый электрический и оп-

тимальной его обработки, а также устройства, реализующие эти принципы, лежат в основе автоматизированных систем светоизлучающих приборов, применяемых в производстве.

Многоэлементные знаковые матрицы и дисплеи требуют контроля по большому числу тестов. Так, 9-разрядный дисплей АЛС318А, имеющий 72 светоизлучающих элемента, контролируют по 214 тестам. Матрицы, предназначенные для объединения в многоэлементные дисплеи, характеризуются усредненными параметрами, что исключает возможность контролировать приборы по граничным значениям нормы на параметр. Измерительная система должна обеспечивать накопление информации о параметрах всех элементов контролируемого прибора для последующей обработки полученных данных по сложным критериям. Исходя из этого, аппаратура контроля СИП строится по принципам гибко программируемых автоматов, управляемых ЭВМ. Структурная схема такого автомата приведена на рис. 4.

Измеряемая матрица светоизлучающих диодов с помощью программно-управляемых от устройства управления коммутаторов каналов K1-3 подключается к источникам задания режима GI пр, GU обр, буферному усилителю A2 канала измерения U пр

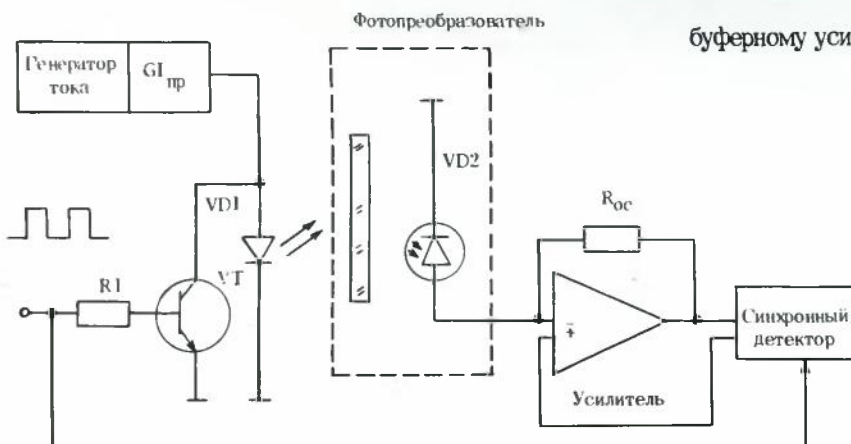


Рис. 2. Структурная схема устройств задания режима, преобразования и обработки фотосигнала

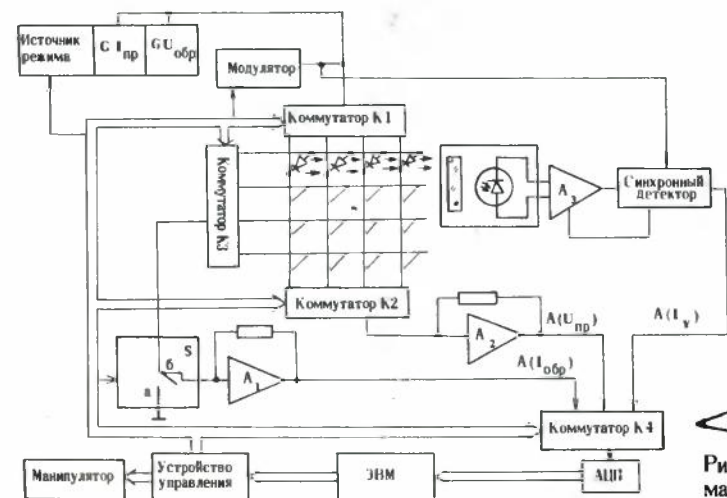


Рис. 3. Фотопреобразователь ФЭП-3



Рис. 4. Структурная схема программно-управляемого автомата контроля параметров светоизлучающих приборов

образователю А1 обратного тока $I_{обр}$ в аналоговое напряжение. При измерении силы света включается модулятор, обеспечивающий режим модуляции прямого тока, при этом аналоговый сигнал $A(I_v)$, соответствующий силе света измеряемого элемента, появляется на выходе синхронного детектора. Программно-управляемый коммутатор К4 обеспечивает поочередное подключение аналоговых сигналов и прямого напряжения ко входу АЦП, с выхода которого значение измеряемого параметра, выраженное в цифровом коде, поступает в ЭВМ, осуществляющую накопление данных, обработку их по установленным критериям, принятие решения о годности прибора

и выдачу управляющих команд на устройство управления и манипулятор измеряемых приборов.

На основе описанных принципов структурной организации автоматизированного контрольно-классификационного оборудования СИП создан многопостовой автоматизированный комплекс контроля готовых приборов АИК-1 (рис. 5), а также классификаторы КЦИ-1, КЦИ-2 (рис. 6, 7) и тестер ТЦИ-3 (рис. 8), технические характеристики которых приведены в табл. 2.

Описанная аппаратура позволяет осуществлять измерение параметров одного многоэлементного прибора в течение 0,5–1,5 с, время измерения параметров одного индикатора на пластине $\leq 0,5$ с.

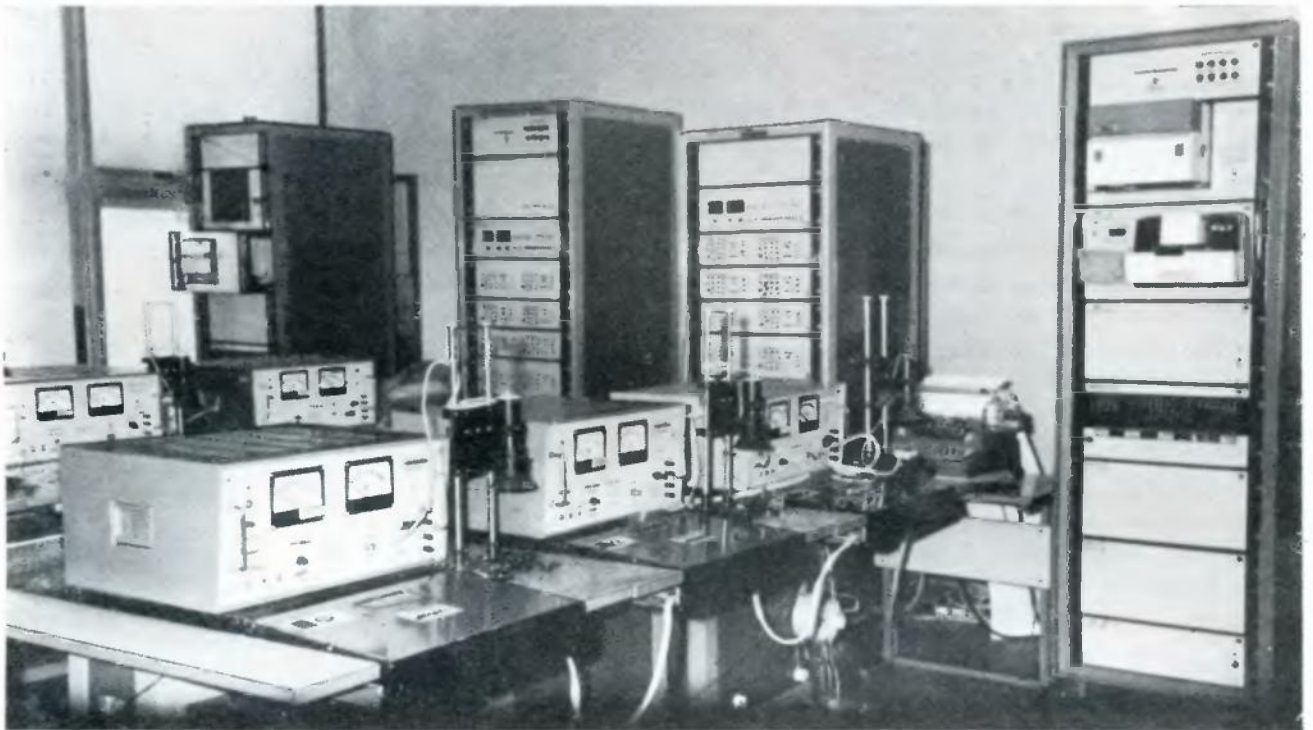


Рис. 5. Многопостовой автоматизированный комплекс АИК-1



Рис. 6. Классификатор элементов гибридных знаковых индикаторов на пластине КЦИ-1

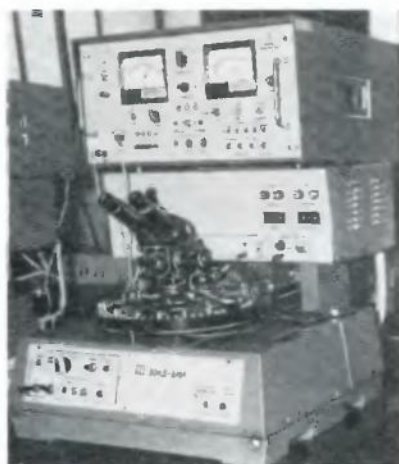


Рис. 7. Классификатор монолитных знаковых индикаторов на пластине КЦИ-2



Рис. 8. Универсальный тестер монолитных индикаторов на пластине ТЦИ-3

Таблица 2

УДК 658.562:621.38

И. И. Лонский

АВТОМАТИЗИРОВАННЫЙ КОНТРОЛЬ КАЧЕСТВА ПОЛУПРОВОДНИКОВЫХ ПЛАНАРНЫХ СТРУКТУР

Высокоэффективные промышленные образцы интерактивных систем автоматизированного контроля качества и прогнозирования надежности полупроводниковых планарных структур позволят моделировать кинетику отказов, накапливать банки данных о физических ограничениях и на их основе широко изучать причины и механизмы отказов, имитировать испытания изделий и производить ускоренную оценку показателей надежности.

Усложнение задач, решаемых современной РЭА, обуславливает повышение требований к безотказности и долговечности ИЭТ. Одним из эффективных способов решения проблемы надежности ИЭТ является использование методов 100%-ного неразрушающего контроля, позволяющих выявить изделия со скрытыми дефектами и исключить их из партии готовой продукции или из партии ИЭТ, комплектующих РЭА (на входном контроле).

В настоящее время в полупроводниковой технике для контроля качества и выявления дефектов широко используются методы, в основе которых лежат различные процессы взаимодействия контролируемой структуры с частицами или полями, а также излучения самой структуры (см. таблицу).

Установки и промышленное оборудование для реализации указанных методов контроля сложны и имеют высокую стоимость, а их эксплуатация требует значительных затрат. Работа на таких установках предъявляет высокие требования к квалификации оператора. При этом большой объем информации, обрабатываемой в процессе контроля, делает работу утомительной. Специальные исследования показали, что при непрерывных однотипных измерениях оператор работает точно и практически без ошибок только первые 3–4 часа.

В связи с этим вполне понятно стремление максимально автоматизировать процессы измерения с целью повышения производительности труда при контроле полупроводниковых планарных структур (ППС), обеспечения объективности измерений и организации 100%-ного контроля, а на его базе — индивидуального прогнозирования показателей надежности.

В настоящее время ведутся работы по созданию эффективных методов и средств автоматизированного контроля качества ППС, причем наиболее интенсивно они развиваются в области автоматизации контроля качества фотошаблонов [1, 2]. Разрабатываемое оборудование базируется на принципах построения систем автоматизированного анализа изображений. В связи с этим опыт создания систем автоматизированного оптического контроля качества ППС может быть использован при разработке систем оценки качества изделий по параметрам визуализи-

Технические характеристики	Комплекс АИК-1	Классификатор КЦИ-1	Классификатор КЦИ-2	Тестер ТЦИ-3
Назначение	Контроль многоэлементных и многоэлектродных приборов с числом элементов до 120	Контроль элементов гибридных приборов на пластине	Контроль на пластине монокристаллических индикаторов по жесткой программе	Контроль на пластине монокристаллических индикаторов
Контролируемые параметры	$I_v; I_{v\text{ ср}}; U_{\text{пр}}; I_{\text{обр}}; I_y; I_{v\text{ max}}/I_{v\text{ min}}$	$I_{v\text{ ср}}; \pm \Delta I_v; U_{\text{пр}}; I_{\text{обр}}$	$I_{v\text{ ср}}; \pm \Delta I_v; U_{\text{пр}}; I_{\text{обр}}$	$I_{v\text{ ср}}; I_v; \pm \Delta I_v; U_{\text{пр}}; I_{\text{обр}}; I_y$
Число генераторов модулированного тока для контроля силы света, шт.	10 положит. 10 отрицат.	1	10 положит.	10 положит. 10 отрицат.
Пределы регулирования тока $I_{\text{пр}}$ при измерении I_v , мА	1–30	1–30	1–20	1–30
Пределы измерения силы света, мкд	0,02–10	0,02–3	0,02–3	0,02–10
Подавление помехи внешнего светового фона, дБ	50	50	50	50
Погрешность измерений силы света относительно калибровочных мер, %	±3	±5	±5	±5
Погрешность измерения тока, % постоянного модулированного	0,5 1,5	1,5 1,5	1,5 1,5	1,5 1,5
Погрешность измерения напряжения, %	0,5	1,5	1,5	1,5
Время выполнения одного теста, мс при измерении электрических параметров	2	2	2	0,5
Время выполнения одного теста, мс при измерении фотометрических параметров	5	5	5	5
Управление	ЭВМ "Саратов 2"	Программное устройство	Программное устройство	ЭВМ "Электроника 100М" или внутреннее программное устройство
Число измерительных постов	до 6	1	1	до 5 (при работе с ЭВМ и центральным постом)
Внешний манипулятор	Устройства подключения приборов или сортировочный автомат	Автомат "Зонд А-1"	Автомат "Зонд А-4М"	Автомат "Зонд А-4М"

ЛИТЕРАТУРА

1. Полупроводниковые светоизлучающие индикаторы / Абдуллаев О.Р., Абрамов В.С., Леонов В.В., Сушков В.П. — Электронная промышленность, 1978, вып. 7, с. 43–45.
2. Эйдукас Д.Ю. Современные тенденции развития информационно-измерительных систем для контроля параметров полупроводниковых приборов и интегральных схем. — В кн.: Радиоэлектроника: Труды научно-технической конференции. — Каунас, 1975, т. 1, с. 6–12.
3. Гитцевич А.Б., Гурков Л.Н. Методы и средства контроля параметров полупроводниковых светоизлучающих приборов. — Электронная техника. Сер. 2. Полупроводниковые приборы, 1979, вып. 4, с. 56–67.

Статья поступила 6 марта 1980 г

рованных полей с помощью оптических, электронных и гибридных процессоров, осуществляющих

Методы неразрушающего контроля изделий электронной техники

Методы контроля	Объекты исследования и обнаруживаемые дефекты
Оптические	
Голографическая интерферометрия	Обрывы линий металлизации и короткие замыкания, контакты с повышенным сопротивлением, отслоение металлизации, бугорки, ямки, завалы на краях полупроводниковой пластины
Эллипсометрия	Контроль толщины и показателя преломления диэлектрических покрытий, созданных на кремнии, арсениде галлия и других полупроводниках, контроль качества вскрытия окон в фоторезисте и окислах, качества обработки поверхности, исследование кинетики роста и травления окисных пленок на кремнии
Регистрация фототовета	Инверсионные и аккумуляционные слои, каналы проводимости, дефекты окисления и диффузии, несплошности металлизации и загрязнения поверхности
Регистрация рекомбинационного излучения	Мезоплазмы, микротрещины в кристалле, места короткого замыкания, плохая адгезия пленки металлизации, механические напряжения в кристалле, контроль токораспределения в структуре
Сканирующее лазерное зондирование	Определение областей с высокой и низкой концентрацией примеси, исследование неоднородности диффузанта, определение местоположения инородных включений и нарушений состава материала, исследование эффектов фотоионизации, идентификация различных видов отказов, в частности появление в КМОП ИС на высоких частотах паразитных биполярных связей
Люминесценция проникающих красителей	Поры, отслоения трещины, разрывы линий металлизации
Инфракрасные и тепловые	
Снятие теплового портрета	Элементы с повышенной рассеиваемой мощностью, короткие замыкания, ошибки "теплового проектирования", контроль и оценка теплового сопротивления и температуры р-п переходов
Использование жидких кристаллов	Короткие замыкания и обрывы, нарушения нормального распределения токов и потенциалов
Использование термометрических датчиков	Локальные перегревы, короткие замыкания, перегрев контактов, разрывы линий металлизации
Рентгеновские и радиационные	
	Крышные внутренние поры и расслоения, дефекты паяных соединений, разрывы линий металлизации
Ультразвуковые	
	Контроль качества микросварки материалов и слоистых структур; исследование интегральных схем, поверхностей монокристаллов
Электронная микроскопия	
	Анализ процессов диффузии ионов и загрязнений, возникающих при нанесении пассивирующих слоев в ИС; изучение в кремниевых структурах радиационных дефектов, загрязнений р-и перехода, поверхностной сегрегации щелочных металлов, адгезии тонких слоев к диэлектрическим подложкам
Ионный микроанализ	
	Изучение поверхности структур ИС, поверхностей раздела; качественный и количественный анализ примесей и глубины профиля их залегания
Магнитоэлектрическая вибрация	
	Обрывы внутренних контактных соединений
Регистрация магнитного поля	
	Бесконтактный контроль в режиме сигнальных токов и бесконтактное обнаружение коротких замыканий

обработку анализируемого изображения с целью выделения диагностической информации (развитие и внедрение методов иконической квалитметрии [3]). Автоматический анализ изображений широко используется для распознавания машинописных знаков, ввода буквенно-цифровой информации в вычислительную машину, распознавания соответствия текущего местоположения самолета заданному, исследования однослойных и многослойных препаратов (клинический анализ крови, эритрометрия, подсчет и измерение одноклеточных организмов, подсчет бактериальных колоний), бесконтактного измерения линейных размеров и площадей объектов, счета количества частиц, контроля формы и профиля изделий, идентификации отпечатков пальцев, измерения неметаллических включений в стали, при расшифровке аэрофотоснимков и в радиоастрономии для спектрального анализа, а также корреляционной обработки сигналов, поступающих от пульсаров.

Область использования определяет оптимальную структуру системы и алгоритмы анализа изображения. Наиболее полно задачам контроля качества ППС соответствуют системы, позволяющие реализовать все его этапы, а именно фильтрацию отличий исследуемой ППС от контрольной, оценку этих отличий в сравнении с параметрами контрольного образца и классификацию контролируемых структур на годные и брак [3].

ОПТИЧЕСКИЕ МЕТОДЫ АВТОМАТИЗИРОВАННОГО КОНТРОЛЯ

В зависимости от используемого источника, освещающего контролируемую структуру, различают некогерентные и когерентные системы. В некогерентных системах наблюдение производится с помощью микроскопа сравнения, в котором оба дополнительно окрашенных монохроматических изображения исследуемого и контрольного фотошаблонов (например, красное и синее) оптически складываются. В местах, где изображения полностью идентичны, виден неокрашенный, сероватого оттенка рисунок, а там, где имеются дефекты, сложение нарушается, и любое различие рисунков проявляется в виде ярко окрашенной красной или синей области в зависимости от вида дефекта и от того, на каком из фотошаблонов он находится. Дефекты видны как цветные пятна, отклонения в размерах — как цветная окантовка.

Для выделения на изображении контролируемой структуры областей дефектов и аномалий топологии используют также методы оптической пространственной фильтрации (ОПФ). При этом фурье-спектр рисунка фотошаблона может быть представлен как спектр периодической структуры в виде произведения двух функций [1]:

$$F(u, v) = F_0(u, v) I(u, v),$$

одна из которых есть преобразование фурье-функции пропускания одного модуля $f_0(x, y)$, другая — результат интерференции повторяющихся рисунков. Учитывая свойства функции интерференции, спектр рисунка фотошаблона можно рассматривать как решетчатую модуляцию спектра одного модуля. Для фильтрации дефектов возможно использование как свойств периодичности функции интерференции, так и особенностей функции спектральной плотности рисунка модуля фотошаблона.

Периодическое повторение изображения модуля фотошаблона может быть использовано для сравнительного контроля идентичных участков соседних модулей. При этом фотошаблон освещается монохроматическим светом с плоским волновым фронтом. Диафрагма выделит из рисунка фотошаблона два идентичных участка соседних модулей. При этом предполагается, что дефекты носят случайный характер [1]. Свойство периодичности функции интерференции используется в оптической схеме коррелометра, имеющего прямоугольную анализирующую диафрагму с длиной, равной шагу мультипликации контролируемой структуры [4]. При сканировании фотошаблона поперек оптической оси часть изображения единичного модуля, ранее попадавшая в апертуру щели, выходит за ее пределы. Вследствие строгой периодичности исследуемой структуры точно такая же часть следующего модуля фотошаблона попадает в щель, и световой поток, прошедший через фотошаблон и анализирующую щель, не модулируется по амплитуде при движении бездефектного рисунка. Наличие дефекта приведет к изменению светового потока, попадающего на фотоприемник, и будет выявляться в виде импульса фототока на фоне постоянной составляющей, соответствующей бездефектной части фотошаблона.

В системах ОПФ один и тот же фильтр может быть использован для контроля различных фотошаблонов с одинаковыми шагами мультипликации, так как функция интерференции не зависит от рисунка модуля и определяется шагом мультипликации. Дифракционная картина рисунка модуля фотошаблона имеет вид креста с убыванием интенсивности к краям. Дефекты характеризуются более равномерным распределением спектральной интенсивности, занимающим большую площадь в фурье-плоскости. Блокируя крестообразным фильтром дифракцию от прямоугольных элементов, можно детектировать в выходной плоскости когерентной оптической системы энергию дефектов.

В системах с оптическим процессором сопоставляются изображения исследуемой и контрольной структур и выделяется разностное изображение. Анализ точек поверхности исследуемой структуры производится параллельно и практически мгновенно, однако количественную оценку дефектов на соответствие критериям отбраковки должен производить оператор. Когерентные системы обеспечивают лучшую пространственную разрешающую способность, но чувствительны к изменениям масштаба и смещениям образцов на входе [5]. Недостатком когерентных систем является необходимость механической стабилизации установки или работы при высокой интенсивности и малой длительности экспозиции. Практическая реализация методов ОПФ затруднена из-за высоких требований, предъявляемых к оптическим элементам, и сильною влиянию точности изготовления фильтров пространственных частот и юстировки оптической схемы на соотношение сигнал-шум в отфильтрованном изображении. Принцип пространственной фильтрации применен в промышленной установке контроля фотошаблонов О9ВК-1 [6].

ЭЛЕКТРОННЫЕ МЕТОДЫ АВТОМАТИЗИРОВАННОГО КОНТРОЛЯ

В электронных системах основные преобразования изображений по выделению диагностической информации осуществляются с помощью электронных устройств.

Для контроля чистоты поверхности полупроводниковых пластин предложен метод, основанный на оценке интегрального светового потока, отраженного от контролируемой пластины, с помощью фотозлектронного умножителя [7]. Метод отличается простотой и вполне пригоден для контроля небольших пластин. При контроле пластин большого размера необходимо сканирование предметного столика микроскопа с целью просмотра всей поверхности. Кроме того, с увеличением размеров контролируемых пластин чувствительность метода резко падает.

Для контроля качества ППС начинают применяться телевизионные микрометры (оптикотелевизионные вычислительные системы). Получаемое в оптическом микроскопе изображение микроструктуры с помощью телекамеры переносится в увеличенном размере на экран монитора. С помощью генератора на экране монитора создаются две измерительные линии, положение которых может изменяться с помощью двух потенциометров, проградуированных в единицах длины. Нулевая точка может свободно выбираться. Измеренные значения отображаются на экране цифрового табло и могут быть использованы для дальнейшей обработки.

Для измерения геометрических параметров изображения исследуемого объекта (линейных размеров, прямоугольных и полярных координат, площади), а также уровня видеосигнала ("оптической плотности") в любой точке изображения применяется телевизионный измеритель дефектов ТИД-2, представляющий собой измерительную приставку к промышленным телевизионным установкам (ПТУ-38 и ПТУ-39) и телевизионным микроскопам типа МТР. Измерение линейных размеров и площади основано на стробоскопическом преобразовании временных интервалов, соответствующих исследуемым линейным размерам или площади, в число импульсов, регистрируемых счетчиком. При измерении координат производится совмещение на экране видеоконтрольного устройства подвижной электронной метки с исследуемой точкой изображения и измеряются аналоговые величины, определяющие положение электронной метки. Оснащение телевизионных установок измерителем дефектов позволяет обеспечить оперативную и объективную дефектometriю ППС при неразрушающем контроле в инфракрасных, рентгеновских и видимых лучах.

Для выделения дефектов кристаллов и полупроводниковых пластин применяется метод, использующий алгоритм выделения изображения исследуемого микрообъекта, основанный на критерии перекрытия (связности) фигур на соседних строках [8]. При использовании этого метода изображение рассматривается как двухтональное, состоящее из точек нулевой (фон) и единичной яркости (пятна, риски, трещины и т.д.). Учитывая, что порог классификации изделий микроэлектроники на годные и брак зависит от места расположения дефектов, в памяти ЭВМ должны храниться значения порога для каждого анализируемого фрагмента изображения.

Для автоматического обнаружения дефектов фотошаблонов может быть применена оптикотелевизионная вычислительная система, которая содержит растровый датчик, преобразующий контролируемое изображение в серию электрических импульсов, аналого-цифровой преобразователь и логическое решающее устройство, построенное на схемах совпадения, сумматорах, пороговых устройствах и схемах ИЛИ [9]. В оптико-телевизионных

вычислительных системах наиболее перспективным является использование твердотельных датчиков. Применение ПЗС-структур позволило создать высокоэффективную систему распознавания образов, которая может найти широкое применение при контроле [10].

Разработан прибор для автоматизированного оптического контроля металлизированной разводки плат интегральных схем [11]. Принцип его действия основан на использовании метода средних линий, при котором рисунок средней для металлизированной разводки линии сравнивается с моделью, записанной в памяти мини-ЭВМ. Контролируемыми параметрами являются координата начала средней линии, направление линии (горизонтальное, вертикальное или под углом 45°), длина линии, координата конца линии. В этом приборе автоматизирована транспортировка контролируемых структур, в результате чего процесс контроля полностью автоматизирован и производительность составляет одну структуру в секунду. Метод средних линий чувствителен к ошибкам позиционирования. Отклонение на три и более точек квантования делает контроль невозможным. Поэтому в качестве эталона используется само контролируемое изображение. При этом положение средних линий сравнивается с записанной в памяти ЭВМ моделью и ориентация контролируемой структуры заканчивается лишь при совпадении средних линий с записанными.

В системе контроля микросхем [12] используется узкий луч света, направляемый сканирующим устройством через оптическую систему на контролируемую и образцовую микросхемы, на которых он описывает заданный растр сканирования. Для получения двух лучей система содержит устройство расщепления луча, принцип действия которого основан на использовании явления поляризации. С помощью оптической системы лучи света, отраженные от элементарных площадок образцовой и контролируемой структур, попадают на различные фотоэлектрические датчики. Устройство сравнения, соединенное с обоими датчиками, сравнивает их выходные сигналы и выдает выходной сигнал в соответствии с результатами сравнения. Блок-схема устройства сравнения содержит квадраторы, умножители, интеграторы, делители, вычитающие устройства, пороговую схему и дисплей. Сравнение изображений контролируемой и образцовой структур основано на сравнении коэффициентов взаимокорреляции между разницей видеосигналов и видеосигналом от образцовой структуры и разницей видеосигналов и видеосигналом от контролируемой структуры.

Общим недостатком электронных систем контроля является большая продолжительность контроля, что обусловлено последовательным характером анализа контролируемого изображения. Однако электронные системы контроля позволяют реализовать все три основных этапа процесса контроля, в отличие от оптических, реализующих лишь первый этап — фильтрацию отличий.

ГИБРИДНЫЕ СИСТЕМЫ ДЛЯ АВТОМАТИЗИРОВАННОГО КОНТРОЛЯ

Сочетание оптических и электронных процессоров в единой гибридной системе позволяет реализовать достоинства каждой из систем. За счет фильтрации аномалий с помощью оптического процессора

резко сокращается объем информации, обрабатываемой электронной системой, а также существенно возрастает производительность процесса контроля, так как сопоставление изображений производится параллельно и практически мгновенно.

Автоматическая лазерная установка осуществляет контроль и исправление брака фотошаблонов для тонкопленочных и гибридных схем [13]. Принцип действия установки состоит в том, что "рваные", зазубренные края линий, кругов и квадратов, из которых состоит топология схемы, дают иную дифракционную картину, чем ровные. Каждый элементарный участок фотошаблона быстро сканируется небольшим оптическим зондом маломощного гелий-неонового лазера. Для анализа дифракционных картин используются мини-компьютер и матрица фотодетекторов. Местонахождение дефекта регистрируется в памяти компьютера. Система позволяет исправить брак, фокусируя на дефектных участках излучение неодимового лазера и испаряя их.

Гибридные системы для автоматизированного контроля качества ППС должны обладать высокими технико-экономическими показателями. Дальнейшее совершенствование таких систем основывается на разработке и использовании специализированных блоков выделения диагностических параметров (это позволяет исключить необходимость применения для контроля сложных универсальных ЭВМ, а для управления процессом контроля использовать мини-ЭВМ и микропроцессоры), а также ассоциативной памяти, что позволяет повысить производительность, упростить математическое обеспечение, процессы оценки и классификации выделенных дефектов [3].

ИСПОЛЬЗОВАНИЕ РЕЗУЛЬТАТОВ АВТОМАТИЗИРОВАННОГО КОНТРОЛЯ ДЛЯ ИНДИВИДУАЛЬНОГО ПРОГНОЗИРОВАНИЯ ПОКАЗАТЕЛЕЙ НАДЕЖНОСТИ

Параметры, получаемые при обработке изображений визуализированных полей контролируемой ППС при иконической квалитметрии электронным или гибридным (оптикоэлектронным) процессором, могут быть использованы в качестве прогнозирующих, так как содержат в себе информацию о наличии или отсутствии дефектов, их относительных размерах. Параметры дефектов (локальные параметры) определяют кинетику развития физико-химических процессов, ограничивающих ресурс изделия [3]; они являются более информативными по сравнению с интегральными параметрами, обеспечивают большую чувствительность к дефектам и глубину диагностирования, а также высокое разрешение.

Физические ограничения, связанные с процессами, приводящими к изменению регулярной структуры ППС, а следовательно, к изменению параметров ИЭТ, предъявляют ряд требований к геометрии структуры (топологии). Таким образом, имеется взаимосвязь параметров дефектов топологии с показателями надежности ППС. Например, физическими ограничениями для снижения сечения металлизации являются такие процессы, как электромиграция, Джоулево теплопадение напряжения на пассивной части структуры. Знание зависимости скорости протекания этих процессов от возрастания плотности тока, обусловленной снижением сечения металлизации, позволяет осуществлять прогнози-

вание показателей надежности. При прогнозировании показателей надежности изделий микроэлектроники по локальным параметрам отобранные в результате неразрушающего сплошного контроля дефектные изделия разбиваются на группы по сходным параметрам дефектов. Далее проводятся испытания изделий и устанавливается зависимость показателей надежности от параметров дефектов. Индивидуальное прогнозирование должно сочетаться с групповым за счет формирования банков данных о механизмах и причинах отказов, критериях отбраковки и их взаимосвязи с физическими ограничениями.

Поскольку построение решающего правила при использовании локальных параметров базируется на наборе статистики по ППС, в которых может одновременно действовать несколько механизмов отказов, то целесообразно использовать методы стохастической аппроксимации. Направленный отбор ППС при формировании кластеров будет усреднять (нивелировать) механизмы отказов, не характерные для формируемого кластера.

Так как в качестве классификатора ППС на группы надежности используется автоматизированная система (прогнозатор), то построение решающего правила может осуществляться с помощью итеративных "обучающих" алгоритмов. Процессы контроля и прогнозирования могут рассматриваться как лингвистический (синтаксический) анализ видеотекста, алфавитом которого являются "0" и "1" при бинарном квантовании амплитуды по уровню, что использовано для математической модели изображения структуры с топологией в виде многомерного вектора с коллинеарным базисом [3].

Использование прогнозаторов имеет большую перспективу: моделирование на ЭВМ кинетики отказов; накопление банков данных о физических ограничениях и на их основе широкое изучение причин и механизмов отказов с последующей корректировкой технологического процесса или конструкции контролируемого типа ИЭТ; оптимизация информативной совокупности параметров и построение решающего правила с помощью ЭВМ в диалоговом режиме, что обеспечивает возможность выбора из большого числа вариантов оптимального, а также получить необходимые точность и достоверность прогноза, производить имитацию испытаний изделий и оперативную оценку показателей надежности на основе сравнительно небольших материальных и временных затрат.

Прогнозирование показателей надежности по локальным параметрам позволяет с помощью учета кинетики развития деградационных процессов, а также накопления банков данных оценивать ресурсные возможности ИЭТ.

Для создания промышленных образцов высокоэффективных систем автоматизированного контроля качества полупроводниковых планарных структур необходима отработка теоретических основ с привлечением аппарата теории фильтрации, теории оценивания и теории принятия решений, а также разработка математических моделей контролируемых структур, пригодных для формализации процесса контроля и ввода в электронную или гибридную систему соответствующих оптимальных программ.

ЛИТЕРАТУРА

1. Кругликов В.К., Стародубцев Э.В. Оптические методы автоматизации контроля фотошаблонов интегральных

схем. — Зарубежная радиоэлектроника, 1979, № 1, с. 88–95.

2. Фамицкая А.Я. Оборудование для контроля дефектности фотошаблонов. — Зарубежная электронная техника, 1979, №2, с. 44–56.

3. Лонский И.И. Иконическая квалиметрия изделий микроэлектроники. — Электронная промышленность, 1979, вып. 7, с.59–63.

4. Шац Я.Б. Радиооптические методы контроля фотошаблонов. — Электронная техника. Сер. 8. Управление качеством, метрология и стандартизация, 1977, вып. 6, с. 30–54.

5. Применение методов распознавания образов в системах управления качеством изделий электронной техники./ Булкин М.А., Горелкина Е.Н., Дубицкий Л.Г., Розиньков Н.С., Соляр М.Г. — Обзоры по электронной технике. Сер. 8. Управление качеством, метрология и стандартизация, 1976, вып. 3, 77 с.

6. Автоматизированная установка контроля фотошаблонов типа 098К-1. — Электронная техника. Сер. 7. Технология, организация производства и оборудование, 1979, вып. 4(95), с. 131, 132.

7. Фарфорок В.Д. Автоматизация контроля чистоты поверхности и полупроводниковых пластин. — Электронная техника. Сер. 7. Технология, организация производства и оборудование, 1978, вып. 2, с. 44–49.

8. Харитоничева С.И. Метод анализа поверхности деталей электронных приборов. — Электронная техника. Сер. 8. Управление качеством и стандартизация, 1973, вып. 1, с. 83–87.

9. Wojcik L.M. Automatic detection of semiconductor mask defects. — Microelectronics and Reliability, 1976, vol. 15, p.585–593.

10. McVey E.S., Parrisk E.A. Dispositivos CCD en sistemas de control y de reconocimiento. — Mundo Electronico, 1977, p. 43–48.

11. Thiessen F.L.A.M. Ein Gerät für das automatische optische Kontrolle von Verbindungs-Leiterbannmustern für integrierte Schaltungen. — Philips Technische Rundschau, 1977/78, Nr.4, S.85–96.

12. Пат. 3.908.118 (США).

13. Лазерная дефектоскопия фотошаблонов. — Электроника. Пер. журн. США "Electronics", 1975, вып. 48, № 22, с. 15–16.

Статья поступила 17 января 1980 г.

УДК 621.317.729.2

Е.Д. Баран, Е.Н. Мирошников

МНОГОФУНКЦИОНАЛЬНЫЙ ЛОГИЧЕСКИЙ ЗОНД

Большое разнообразие выполняемых функций наглядность индикации, простота эксплуатации зонда обуславливают перспективность его использования в производстве и обслуживании цифровых устройств.

Контроль и диагностика цифровых устройств при их наладке, а также в процессе эксплуатации могут эффективно осуществляться с помощью логических индикаторов, генераторов тока, цифровых компараторов [1, 2]. Однако эти приборы имеют ограниченный набор выполняемых функций и относительно сложны в эксплуатации, что связано с трудностями идентификации показаний индикаторов.

В предлагаемом многофункциональном логическом зонде реализован новый способ мнемонической индикации [3]. Индицируемые символы совпадают либо с осциллограммами наблюдаемых сигналов (схематично), либо с общепринятыми обозначениями сигналов или цепей. Пример реализации этого

способа на базе цифрового семисегментного индикатора приведен в таблице. Система обеспечивает высокую наглядность индикации, исключая неоднозначность считывания, очертания отображаемых символов привычны для оператора.

Объединение в предлагаемом зонде основных узлов логического индикатора и генератора тока обуславливает реализацию практически всех функций этих приборов при незначительных аппаратурных затратах. Зонд позволяет наблюдать статические и динамические сигналы, формировать импульсные воздействия в произвольных узлах проверяемой схемы (с одновременным контролем прохождения импульса), проводить проверку целостности шин питания, обнаруживать выводы, короткозамкнутые с шинами питания. С помощью зонда легко осуществляется оценка скважности импульсов по относительной яркости свечения сегментов.

Зонд выполняет также контроль наличия электрического контакта между его входом и выводом проверяемого устройства, что необходимо для различения сигналов, соответствующих неопределенному логическому состоянию (см. таблицу). Этот сигнал наблюдается при подключении зонда к свободному входу микросхемы (неисправность типа "обрыв входа") или к входу микросхемы, короткозамкнутому с собственным выходом (неисправность типа "короткое замыкание выхода"), а также при отсутствии электрического контакта между входом зонда и выводом проверяемой схемы.

Таблица соответствия индицируемых символов и исследуемых сигналов

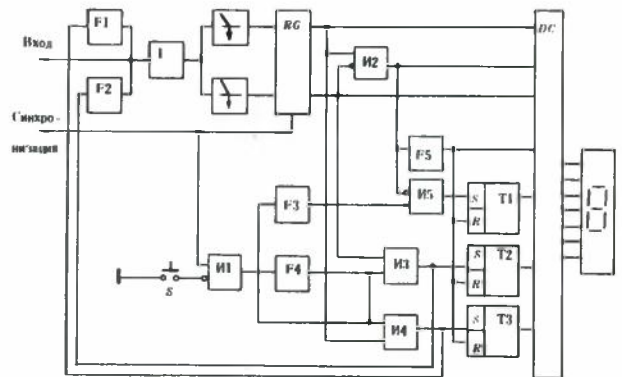
Входной сигнал	Изображение (символ)
Логический "0"	
Логическая "1"	
Неопределенное логическое состояние	
Импульсы положительной полярности с большой скважностью	
Импульсы отрицательной полярности с большой скважностью	
Импульсы со скважностью, близкой к двум (мегаандр)	
Короткое замыкание проверяемого вывода с шиной "общий"	
Короткое замыкание проверяемого вывода с шиной "питание"	
Отсутствие электрического контакта между входом зонда и контролируемой точкой	

Разработаны две модели логического зонда, в которых использован предложенный способ индикации. Первая модель предназначена для контроля и диагностики устройств, сигналы которых соответствуют уровням ТТЛ схем (функция контроля наличия контакта в этом зонде не реализована). Вторая рассчитана на работу с элементами, напряжение питания которых составляет 3–27 В. В ней предусмотрены плавная регулировка сравниваемых логических уровней, а также режим синхронного зондирования.

Техническая характеристика многофункционального логического зонда

Пределы установки логических уровней, %	
низкого	(1–20) $E_{П}$
высокого	(40–95) $E_{П}$
Погрешность установки логических уровней, %	5
Максимальный входной ток, мкА	100
Максимальная рабочая частота, МГц	
при $E_{П} = 5$ В	10
при $E_{П} = 27$ В	5
Минимальная длительность входных импульсов, нс	
при $E_{П} = 5$ В	50
при $E_{П} = 27$ В	100
Длительность зондирующего импульса тока, нс	250
Амплитуда зондирующего импульса тока, А	0,1
Максимально допустимое сопротивление шин питания, Ом	50
Предельно допустимое напряжение на входе, В	± 45
Потребляемый ток, А	0,25
Масса, кг	0,1
Габариты, мм	27x200x18

Принцип действия зонда рассмотрим на примере второй модели, обладающей расширенным набором выполняемых функций (см. рисунок). Исследуемый сигнал через входной каскад I, обеспечивающий согласование импедансов и защиту элементов зонда от повышенного напряжения, подается на компараторы. Результаты сравнения этого сигнала с заданными уровнями логического "0" и логической "1" поступают на буферный регистр RG, нормально открытый при отключенном входе синхронизации. Элемент И2, управляемый регистром, выделяет сигналы, соответствующие неопределенному логическому уровню. Кроме того, при изменении входного сигнала (и состояний компараторов) этот элемент формирует импульсы запуска ждущего мультивибратора F5, выполняющего функции расширителя импульсов для визуального наблюдения импульсных сигналов.



Функциональная схема логического зонда

С входом логического зонда соединены выходы генераторов тока $F1, F2$, которые управляются формирователем одиночных импульсов $F4$ через элементы И3, И4. При включении формирователя $F4$ включается тот генератор тока, который обеспечивает инвертирование логического уровня в проверяемой точке. Импульс включения генератора тока устанавливает в состояние "1" триггер $T2$ или $T3$, запоминающий состояние исследуемого элемента до его зондирования. Амплитуда импульса напряжения, который выделяется при протекании импульса тока в цепи между входом зонда и одной из общих шин питания, зависит от сопротивления этой цепи. Если указанное сопротивление больше некоторого порогового значения (сопротивления короткого замыкания или пробоя), то амплитуда импульса напряжения оказывается достаточной для изменения состояний компараторов. При этом запускается мультивибратор $F5$, который возвращает триггер ($T2$ или $T3$) в исходное состояние. Триггер не изменит своего состояния после зондирования, если сопротивление исследуемой схемы относительно контролируемой точки меньше сопротивления короткого замыкания.

Контроль наличия электрического контакта между входом зонда и проверяемым элементом осуществляется с помощью элемента И5 путем сравнения длительности импульса реакции схемы и исходной длительности воздействия. Дешифратор DC обеспечивает формирование на семисегментном индикаторе символов в соответствии с таблицей.

Логический зонд может быть использован при работе в синхронном режиме. Состояние компараторов запоминается регистром RG в момент окончания импульса, поступающего на вход "Синхронизация". Формирование зондирующих импульсов тока в этом режиме осуществляется в момент прихода импульсов синхронизации.

Зонд выполнен на ТТЛ микросхемах и дискретных элементах.

Применение многофункционального логического зонда в процессе разработки, производства или ремонта цифровой аппаратуры способствует повышению эффективности контроля и диагностики.

ЛИТЕРАТУРА

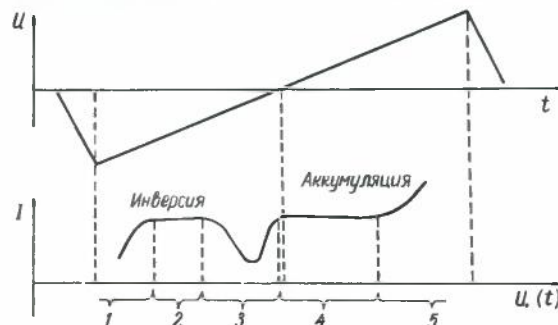
1. Сантони. Контрольно-измерительные приборы для испытаний логических схем. — Электроника. Пер. журн. США "Electronics", 1975, № 19, с. 37–45.
2. Черножуков Е.С., Лысенко А.Н., Филипчатин Е.Н., Кузавков В.М. Комплект устройств для диагностики логических блоков ИМС ТТЛ. — Приборы и системы управления, 1977, № 10, с. 50–52.
3. А.с. 729533 (СССР). Логический зонд/Е.Д. Баран. Оpubл. в Б.И., 1980, № 15.

Н. И. Гаврилин, Г. Н. Демидова, Э. Н. Журавлев

ХАРАКТЕРИОГРАФ МДП-СТРУКТУР

УДК 621.317.758.2

Характериограф служит для снятия квазистатических и неравновесных вольт-амперных, а также низкочастотных вольт-фарадных характеристик и определения напряжений пробоя МДП-структур неразрушающим методом. Прибор состоит из трех независимых узлов: генератора линейно изменяющегося напряжения, пикоамперметра и ключевого устройства. Разработанный генератор имеет набор скоростей изменения выходных напряжений в пределах от 0,01 до 100 В/с и интервал амплитуд 1,6–200 В, задаваемых независимо друг от друга до запуска генератора. Вольт-амперная характеристика МДП-структуры на полупроводнике n -типа приведена на рисунке. Общий ток I через структуру, представленную параллельной RC -цепочкой, в любой момент времени равен сумме активного тока утечки I_a и тока смещения I_c . Равенство токов на участках 2 и 4 и их независимость от приложенного напряжения свидетельствует о квазистатическом равновесии, необходимом для снятия n - I характеристик, и о том, что общий ток практически равен току смещения: $I = I_c = C dU/dt$, где C — не зависящая от значения напряжения U емкость слоя диэлектрика, а dU/dt для линейно изменяющегося напряжения равно константе (т.е. $I_c \gg I_a$). Изменение тока на участках 1 и 5 целиком обусловлено увеличением тока утечки I_a . Таким образом, эти участки характеристики с точностью до постоянной составляющей отражают зависимость вида $I_a = f(U)$, а участки 2, 3 и 4 фактически представляют низкочастотную вольт-фарадную зависимость, так как ток смещения I_c с точностью до известного постоянного множителя dU/dt равен емкости (для линейно изменяющегося напряжения). Данный способ получения низкочастотных вольт-фарадных характеристик, представляющих большой практический интерес, особенно с точки зрения определения плотности поверхностных состояний, является по сути единственным общедоступным



Вольт-амперные характеристики МДП-структуры при линейно изменяющемся напряжении со скоростью $dU/dt = 0,01$ В/с; U — напряжение на металлическом электроде МДП-структуры

Компенсационный метод измерения токов, применяемый в пикоамперметре, обеспечивает почти нулевой (~ 1 мВ) потенциал низкопотенциальной обкладки МДП-конденсатора и, следовательно, практически полностью устраняет влияние прибора на режим работы МДП-структуры. Сквозная логарифмическая характеристика пикоамперметра $U_{\text{вых}} = A \lg |I_{\text{вх}}|$ позволяет без переключений просматривать на экране осциллографа пять десятичных порядков измеряемого тока.

Предусмотрена защита генератора от короткого замыкания. Полезный выходной сигнал с пикоамперметра поступает одновременно на инвертор и сумматор, что позволяет на выходе последнего иметь только положительный сигнал при любой полярности входного тока.

Быстродействующее ключевое устройство закорачивает МДП-структуру при достижении заранее установленного уровня тока (например, 10^{-6} , 10^{-7} или 10^{-5} А), предотвращая выход из строя пикоамперметра и разрушение структуры вследствие пробоя при достаточно высоких напряжениях.

Разработанное электронное устройство в сочетании со стандартными средствами регистрации токовых величин (например, осциллографом, графопостроителем) может использоваться на предприятиях для экспрессного неразрушающего контроля рабочих характеристик изделий микроэлектроники на МДП-структурах.

ИССЛЕДОВАНИЯ. РАЗРАБОТКИ. МЕТОДЫ РАСЧЕТОВ

УДК 681.325.65

А. Н. Кармазинский

ТЕОРЕТИЧЕСКИЕ ОСНОВЫ СИНТЕЗА ПРИНЦИПИАЛЬНЫХ СХЕМ ЛОГИЧЕСКИХ ЭЛЕМЕНТОВ

Разработанные теоретические основы синтеза позволяют генерировать и оптимизировать множества схмотехнических решений, предназначенных для создания микроэлектронных логических элементов.

Синтез принципиальных схем логических элементов и автоматов является актуальной проблемой в современной схмотехнике, так как на его основе можно:

- расширить представление о схмотехнике как области науки и техники и показать пути дальнейшего совершенствования схмотехнических решений цифровых логических элементов;
- проанализировать патенты с целью выявления подлинных идей авторов, заложенных в них;
- получить новые схемные, конструкторские и топологические решения, обеспечивающие патентоспособность микроэлектронных изделий, в которых они используются;
- автоматизировать процесс схмотехнического проектирования с использованием нетиповых схмотехнических решений;
- автоматизировать и соединить воедино процессы логического, схмотехнического и конструкторского проектирования, что позволяет создавать топологию по принципиальным схемам элементов;
- объединить процессы разработки принципиальной схемы с анализом и синтезом элементов с заданными электрическими характеристиками;
- применять для реализации схем все виды и типы компонентов, изготавливаемых по интегральной технологии, в тех местах схемы, где их специфические свойства будут использованы наиболее полно.

В рассматриваемом ниже методе синтеза логических элементов на МДТ-транзисторах главное внимание было уделено слабо освещенным в литературе теоретическим основам технических приемов синтеза принципиальных схем.

Цель и сущность синтеза. Целью синтеза принципиальных схем логических элементов является генерация способов соединения компонентов (или эквивалентных аналитических или других форм представления схмотехнических решений), выполняющих заданную логическую функцию и

обладающих определенными качествами. Сформулированная цель дает возможность выделить две основные проблемы: генерацию множества схмотехнических решений и оптимизацию полученных решений по определенным критериям качества. Синтез принципиальных схем будет носить направленный – детерминированный характер, если процедуры оптимизации и генерации объединены.

Сущность синтеза заключается в установлении соответствия между функциями, выполняемыми отдельными компонентами (транзисторами, резисторами, диодами) [1], и способами их соединения, с одной стороны, и заданной для схмотехнической реализации логической функцией, с другой. Последовательное преобразование логической функции в расширенную логическую формулу, а затем в схмотехническую позволяет реализовать аналитическую форму представления соединения компонентов, т.е. аналитическое представление принципиальной схемы.

Если известны логические функции отдельных компонентов и их типовых соединений, то синтез сводится к покрытию логической функции функциями компонентов.

Функции компонентов и расширенные логические формулы элементов. Все сигналы, подаваемые на компоненты, условно разделим на информационные и управляющие. Информационные сигналы обусловлены протеканием тока через каналы транзисторов. Их запишем в квадратных скобках [I], где $I = \{0, 1, \chi\}$; 1, 0 – значения переменных, χ – характеризует неопределенное состояние [1]. Управляющие сигналы изменяют проводимость каналов транзисторов и подаются на затворы. Их запишем как простые логические переменные $x_i \in X$, где $X = \{x_i / i = 1 \div n\}$.

Обозначим $K_1(F)$, $K_0(F)$, $K_\chi(F)$ дизъюнкцию конститuent логической функции F , соответствующие информационным сигналам [1], [0], [χ]. Отметим, что информационные сигналы [1], [0] соответствуют шине питания и общей шине. Дизъюнкция конститuent данного информационного сигнала описывает все значения логической функции на тех наборах аргументов, где она равна информационному сигналу. Тогда расширенная логическая формула описывает значения логической функции F на всех наборах аргументов:

$$Z(F) = [1]K_1(F) + [0]K_0(F) + [\chi]K_\chi(F),$$

где $K_\chi(F) = \overline{K_1(F) + K_0(F)}$.

Для полностью определенной логической функции $K_\chi(F) = 0$ и $K_1(F) = \overline{K_0(F)}$. Поэтому расширенная логическая формула принимает вид

$$Z(F) = K_1(F) [1] + K_0(F) [0].$$

Таким образом, для полностью определенной логической функции расширенная логическая формула легко записывается по исходному выражению, так как $F = K_1(F)$.

Методика определения функций, выполняемых компонентами в МДП-схемах, приведена в работе [1]. В таблицу сведены расширенные логические формулы для транзисторов, резисторов, диодов и типовых соединений транзисторов.

МДП-компоненты и их соединения	Функции компонентов и их соединений
ТРАНЗИСТОРЫ и-канал р-канал	$Z_n = [E]x + [\chi]x - [1 - \Delta n]Ex + [0]Ex + [\chi]x,$ $Z_p = [E]x + [\chi]x - [1]Ex + [0 + \Delta p]Ex + [\chi]x.$
РЕЗИСТОРЫ	$Z_r = [E] - [1]E + [0]E, E = 1 - const, Z_r = [1];$ $E = 0 - const, Z_r = [0].$
ДИОДЫ и-канал р-канал	$Z_{дн} = [1 - \Delta n]E + [\chi]E,$ $Z_{др} = [\chi]E + [0 + \Delta p]E.$
СОЕДИНЕНИЕ ТРАНЗИСТОРОВ ПОСЛЕДОВАТЕЛЬНОЕ	$Z_n = [E](x_1 \dots x_n) + [\chi](\bar{x}_1 \dots \bar{x}_n),$
ПАРАЛЛЕЛЬНОЕ	$Z_n = [E]F_1 + [E]F_2 + \dots + [E]F_m + [\chi]F_1 \dots F_m,$
КАСКАДНОЕ	$(Z_i)_n = [E]x_1 E_{i-1} \dots E_{i-1} + [\chi](x_1 + E_1 + \dots + E_{i-1}).$
СМЕШАННОЕ с составными	$(Z_i)_n = [E]x_0 x_i + [\chi](\bar{x}_0 + \bar{x}_i),$
без составных	$(Z_i)_n = [E]x_0 x_i + [\chi](x_i + \bar{x}_0 x_1 \dots x_n).$
УСЛОВИЕ ЭКВИВАЛЕНТНОСТИ	$x^n = x^p \quad (1)$

Примечание: $\Delta n, \Delta p$ — изменения уровней, обусловленные пороговыми напряжениями и- и р-канальных транзисторов; χ — неопределенное состояние на выходе; $Z_n, Z_p, Z_{дн}, Z_{др}$ — функции на выходах транзисторов, резисторов и диодов; Z_i, E_i — функции и информационный сигнал i -й цепи.

Соотношение (1) в таблице устанавливает эквивалентность между и- и р-канальными транзисторами и означает, что выполняемая функция не изменится, если для одного и того же информационного сигнала n -канальный (p -канальный) транзистор заменить p -канальным (n -канальным) транзистором и изменить управляющий сигнал на инверсный. Это условие эквивалентности является основой для перехода от расширенной логической формулы к схмотехнической, так как устанавливает однозначное соответствие между выполняемыми функциями и типами каналов транзисторов.

Логические элементы можно реализовать в виде схем трех классов: "без отношения", "с отношением" и смешанного типа. Каждому классу схем соответствуют следующие расширенные логические формулы:

— схемам "без отношения"

$$Z(F) = [1]K_1(F) + [0]K_0(F) :$$

— схемам "с отношением"

$$Z(F) = [1]1 + [0]K_0(F) = [1]K_1(F) + [0]1; \quad (2)$$

— схемам смешанного типа

$$Z(F) = [1]F_1(F) + [0]F_2(F),$$

где $K_1(F) \subset F_1(F), K_0(F) \subset F_2(F)$.

Покрытие логической функции функциями компонентов осуществляется в следующей последовательности: для реализации логической функции выбирается класс схем; записывается расширенная логическая формула; функции $K_1(F), K_0(F), F_1(F),$

$F_2(F)$ преобразуются к виду, содержащему простые логические переменные и их отрицания; оптимизируются расширенные логические формулы по сформулированным критериям; записывается схмотехническая формула, для чего на основании (1) расставляются индексы у управляющих сигналов, входящих в расширенные логические формулы; по схмотехнической формуле строится принципиальная схема элемента.

Эквивалентные преобразования расширенных логических формул. Схмотехническая реализация логической функции существенно зависит от формы записи исходной логической функции, а также от формы записи $K_1(F), K_0(F), F_1(F), F_2(F)$

в расширенных логических формулах. Множество способов эквивалентного представления этих функций позволяет получить соответствующее им множество схмотехнических формул, а следовательно, и принципиальных схем, т.е. эквивалентные преобразования обеспечивают генерацию множества схмотехнических решений.

Для эквивалентных преобразований используются методы свертывания и развертывания логических выражений. Традиционными являются методы: основанные на формулах де Моргана; использующие первую и вторую операции поглощения; первую и вторую операции склеивания и другие, а также операции развертывания, обратные перечисленным операциям [2, 3].

Эффективные методы эквивалентных преобразований и упорядочения логических функций основаны на теореме Шеннона [3], которая формулируется следующим образом: любую булеву функцию $F(x_1, \dots, x_n)$ можно записать в виде

$$F(x_1, \dots, x_n) = F(1, x_2, \dots, x_n) x_1 + F(0, x_2, \dots, x_n) \bar{x}_1. \quad (3)$$

Применение этой теоремы последовательно для всех переменных $x_i \in X$ позволяет представить $F(x_1, \dots, x_n)$ в совершенной дизъюнктивной нормальной форме

$$F(x_1, \dots, x_n) = F(1, 1, \dots, 1)(x_1, \dots, x_n) + F(0, 1, 1, \dots, 1)(\bar{x}_1 x_2, \dots, x_n) + \dots + F(0, 0, \dots, 0)(\bar{x}_1, \dots, \bar{x}_n). \quad (4)$$

По принципу двойственности из (4) нетрудно получить совершенную конъюнктивную нормальную форму.

На основе теоремы Шеннона можно найти и другие представления булевой функции, если использовать дополнительные условия. В частности, можно доказать, что, если имеется булева функция $F(x_1, \dots, x_n)$, представленная в виде дизъюнкции импликант* $I = \{g_j / j = 1 \div m\}$, и подмножество переменных $\Pi_L \subset X$ мощности $k < n$, где $\Pi_L = \{x_i\}$, а l принимает ряд дискретных значений, таких, что

* Импликантами функции F называются элементарные произведения, которые входят в функцию F , но никакая их часть в F не входит.

они покрывают все импликанты множества I , а импликанты подмножества GC/I покрываются более одного раза, то тогда булеву функцию можно представить в виде:

$$F(x_1, \dots, x_n) = \bigvee_{i=1}^k x_{l_i} F_i + \bigvee_{j=1}^r g_j, \quad (5)$$

где $F_i = F(x_1, \dots, x_n)$ при $x_{l_i} = 1$ и для всех x_l таких, что $x_l \neq x_{l_i}$ и $x_l \in \Pi_L$, $x_l = 0$; $g_j \in G$; r — число импликант в подмножестве G .

В частном случае, когда ни одна импликанта булевой функции $F(x_1, \dots, x_n)$ не покрывается более одного раза переменными из Π_L ,

$$F(x_1, \dots, x_n) = \bigvee_{i=1}^k x_{l_i} F_i. \quad (6)$$

Соотношения (4) — (6) позволяют получить разложение булевой функции F по переменным, в частности разложение функции, представленной в минимальной дизъюнктивной нормальной форме, по набору логических переменных, входящих в покрытие матрицы инцидентности [4], строками которой являются импликанты, а столбцами простые переменные или их отрицания, входящие в импликанты.

Любую булеву функцию, имеющую покрытием элементы множества Π_L и состоящую из дизъюнкции множества импликант I , можно представить в виде

$$F(x_1, \dots, x_n) = \bigvee_{i=1}^{K_L} F_i(x_{iL}) | x_{1L} = \dots = x_{(i-1)L} = 0 \quad (7)$$

где $F_i(x_{iL}) = \bigvee_{j=1}^{m_{iL}} I_j(x_{iL})$ — функция, содержащая все m_{iL} импликант, в которые входит переменная x_{iL} .

Соотношения (5)–(7) позволяют упорядочить логические функции или $K_1(F), K_0(F), F_1(F), F_2(F)$, преобразовать их и представить в виде скобочных форм, добиться минимизации числа транзисторов за счет объединения отдельных термов, входящих в различные импликанты. Фундаментальный метод упорядочения логических функций, основанный на дифференцировании графов, изложен в [4].

В качестве информационных сигналов при эквивалентных преобразованиях логических функций и расширенных логических формул используются не только сигналы [1] и [0], но и информационные сигналы простых логических переменных или их отрицаний, которые в процессе работы элемента принимают значения их множества $\{0, 1\}$. В этом случае возникает задача определения управляющих сигналов, подаваемых на транзисторы и позволяющих использовать простые логические переменные в качестве информационных сигналов для реализации функции.

Решение сформулированной задачи основывается на применении теоремы Шеннона (3).

Пусть задана функция $F(x_1, \dots, x_n)$. Требуется определить импликанты, содержащие переменные

x_1, x_2, \dots, x_n в качестве информационных сигналов. Так как $F(x_1, \dots, x_n) = K_1(F)$, то расширенная логическая формула запишется

$$Z(F) = [1]K_1(F) + [0]K_0(F).$$

Если простая логическая переменная x_i или ее отрицание \bar{x}_i являются информационными сигналами, то они входят в расширенную логическую формулу в виде

$$\begin{aligned} [x_i]F_{x_i} &= ([1]x_i + [0]\bar{x}_i)F_{x_i} = \\ &= [1]x_i F_{x_i} + [0]\bar{x}_i F_{x_i}, \end{aligned}$$

$$\begin{aligned} [\bar{x}_i]F_{\bar{x}_i} &= ([1]\bar{x}_i + [0]x_i)F_{\bar{x}_i} = \\ &= [1]\bar{x}_i F_{\bar{x}_i} + [0]x_i F_{\bar{x}_i}, \end{aligned}$$

так как переменная и ее отрицание могут принимать значения 0 или 1. Импликанта, содержащая x_i или \bar{x}_i в качестве информационного сигнала, порождает два терма, один из которых входит в $K_1(F)$, второй в $K_0(F)$, причем управляющий сигнал-функция F_{x_i} ($F_{\bar{x}_i}$) является общим как для $K_1(F)$, так и для $K_0(F)$.

Таким образом, чтобы определить импликанты, использующие x_i (\bar{x}_i) в качестве информационного сигнала, нужно найти способ определения функций F_{x_i} и $F_{\bar{x}_i}$. Воспользуемся для этого формулой Шеннона (3). Разложим $K_1(F)$ и $K_0(F)$ по переменной x_i (\bar{x}_i). В результате получим:

$$\begin{aligned} K_1(F) &= K_1(F(x_1, x_2, \dots, x_n)) = \\ &= x_i K_1(F(x_1, x_2, \dots, 1, \dots, x_n)) + \\ &+ \bar{x}_i K_1(F(x_1, x_2, \dots, 0, \dots, x_n)) = \\ &= x_i K_{1x_i}(1) + \bar{x}_i K_{1\bar{x}_i}(0); \end{aligned}$$

$$\begin{aligned} K_0(F) &= K_0(F(x_1, x_2, \dots, x_i, \dots, x_n)) = \\ &= x_i K_0(F(x_1, x_2, \dots, 1, \dots, x_n)) + \\ &+ \bar{x}_i K_0(F(x_1, x_2, \dots, 0, \dots, x_n)) = \\ &= x_i K_{0x_i}(1) + \bar{x}_i K_{0\bar{x}_i}(0), \end{aligned}$$

$$\text{где } K_{1x_i} = K_1(F(x_1, x_2, \dots, 1, \dots, x_n));$$

$$K_{1\bar{x}_i} = K_1(F(x_1, x_2, \dots, 0, \dots, x_n));$$

$$K_{0x_i} = K_0(F(x_1, x_2, \dots, 1, \dots, x_n));$$

$$K_{0\bar{x}_i} = K_0(F(x_1, x_2, \dots, 0, \dots, x_n)).$$

Так как F_{x_i} и $F_{\bar{x}_i}$ являются общими сомножителями для членов, связанных с информационными сигналами 1 и 0, то эти функции можно определить из следующих соотношений:

$$F_{x_i} = K_{1x_i}(1) K_{0\bar{x}_i}(0),$$

$$F_{\bar{x}_i} = K_{1\bar{x}_i}(0) K_{0x_i}(1).$$

Последние соотношения позволяют найти управляющие сигналы, входящие в импликанты с информационными сигналами $[x_i]$ и $[\bar{x}_i]$.

Таким образом, эквивалентные преобразования логической функции или расширенной логической формулы могут быть связаны не только с преобразованием управляющих функций, но и информационных сигналов.

Оптимизация расширенных логических формул по схемотехническим критериям. Установлено, что покрытие логической функции элементами функциями компонентов или их соединений сводится к нахождению расширенной логической формулы, представленной в виде дизъюнкции конъюнкций простых переменных и их отрицаний, а по ней – схемотехнической формулы. Следовательно, оптимизация покрытия логической функции сводится к оптимизации расширенной логической или схемотехнической формулы.

Отличия процесса оптимизации при схемотехническом синтезе от логического синтеза сводятся к следующему:

- увеличивается число критериев качества, которые, как правило, отличаются от критериев, принятых при логическом синтезе;

- для получения оптимальных расширенных логических формул необходимо оптимизировать покрытие импликантами конститuent из множеств $\{K_1\}$, $\{K_0\}$ и $\{K\} = \{K_1\} \cup \{K_0\}$;

- этапы процедур оптимизации зависят от критериев качества, условий окончания процедуры синтеза, решений, принимаемых на каждом шаге;

- оптимизационные процедуры зависят от класса схем ("с отношением", "без отношения", смешанного типа), которые синтезируются.

Цель оптимизации при схемотехническом синтезе – минимизировать число транзисторов в схеме, суммарные паразитные емкости областей стоков и истоков при заданной логической функции, потребляемую в статическом режиме мощность; симметризовать принципиальную схему элемента по отношению к входным управляющим сигналам; оптимизировать число транзисторов в последовательно соединенных цепях, а также расширенную логическую формулу по топологическим критериям качества [5,6], позволяющим уменьшить площадь логического элемента на кристалле и др.

Расширенная логическая и схемотехническая формулы являются аналитической моделью принципиальной схемы элемента. Модель состоит из простых логических переменных и их отрицаний, объединенных в слова. Каждая логическая переменная схемотехнически реализуется с помощью

транзистора. Следовательно, модель отражает структуру схемы и ее упорядоченность [4], но не отражает непосредственно ее электрических характеристик. Чтобы оптимизировать расширенную логическую или схемотехническую формулы по электрическим характеристикам, необходимо найти, по крайней мере, качественное соответствие между структурой модели и электрическими свойствами схемы. Рассмотрим этот вопрос применительно к сформулированным целям оптимизации.

Минимизация числа транзисторов сводится к минимизации логической формулы по числу входящих в нее переменных. Этот критерий всегда используется и при логическом синтезе элементов [2, 3]. Однако при схемотехническом синтезе появляется ряд особенностей. Чтобы получить схему "без отношения" с минимальным числом транзисторов, следует найти все тупиковые дизъюнктивные нормальные формы функций $K_1(F)$ и $K_0(F)$, а среди них – минимальные. Объединение в одной расширенной логической формуле минимальных выражений для $K_1(F)$ и $K_0(F)$ позволяет построить схему, содержащую минимальное число транзисторов.

Чтобы получить схему "с отношением", следует сравнить минимальные тупиковые дизъюнктивные нормальные формы $K_1(F)$ и $K_0(F)$ по числу переменных и их отрицаний и выбрать ту, которая содержит минимальное число простых переменных. Тогда расширенная логическая формула записывается в соответствии с соотношением (2).

Для получения схемы смешанного типа следует составить специальную импликантную матрицу покрытий и соотязаний и определить такое покрытие конститuent из $\{K_1\}$ и $\{K_0\}$ импликантами, которое содержит минимальное число переменных, а число наборов переменных, на которых возникают соотязания информационных сигналов, не превышает заданной величины. В схемах смешанного типа число транзисторов может оказаться меньше, чем в схемах "с отношением" и "без отношения", реализующих ту же логическую функцию. Абсолютно минимальная по числу транзисторов схема получается после сравнения расширенных логических формул для трех классов схем.

Собственное быстродействие логических элементов на МДП-транзисторах зависит от времени перезарядки емкостей стоков и истоков, а также от эквивалентных удельных крутизн транзисторов, определяющих ток заряда этих емкостей. Минимальными суммарными емкостями стоков и истоков при прочих равных условиях обладают инверторы, так как они содержат минимальное число транзисторов, а следовательно, и минимальное число областей стоков и истоков, емкости которых перезаряжаются при переключении. Повысить быстродействие сложных логических элементов можно путем уменьшения общего числа транзисторов и увеличения числа транзисторов, стоки, истоки и подложки которых подключены к шинам с постоянными потенциалами. В последнем случае емкости областей стоков и истоков не перезаряжаются в процессе переключения. Следовательно, структура логического элемента должна быть упо-

рядочена таким образом, чтобы максимально возможное число транзисторов было подключено к обеих шине и шине питания.

Процедура такого упорядочения описывается формулами (5)–(7) и сводится к следующему. Находятся минимальные тупиковые дизъюнктивные нормальные формы (МТДНФ) $K_1(F)$ и $K_0(F)$. Строятся две матрицы инцидентности для $K_1(F)$ и $K_0(F)$, каждому столбцу которых соответствует переменная или ее отрицание, а строке — импликанта, входящая соответственно в МТДНФ функций $K_1(F)$ и $K_0(F)$. Находится множество покрытий переменными и их отрицаниями матриц инцидентности, выбираются те покрытия, которые имеют минимальное число элементов и включают дополняющие наборы переменных — переменную и ее отрицание, покрывающие максимальное число импликант. Назовем эту операцию взвешиванием первого яруса расширенной логической формулы [4]. На основе соотношений (14)–(16) разлагаются $K_1(F)$ и $K_0(F)$ по переменным, выбранным в качестве покрытия первого яруса. Определяется множество новых функций, входящих в конъюнкции с переменными, выделенными для взвешивания первого яруса. Для каждой новой функции определяется покрытие, взвешивающее второй ярус, вновь находится разложение каждой из функций и т.д. Итерационный процесс заканчивается тогда, когда функции вырождаются в простые переменные и дальнейшее разложение невозможно.

Так как на каждом шаге для взвешивания яруса выбирается минимальное покрытие, то максимальным числом переменных оказывается взвешен последний ярус. После упорядочения записывается расширенная логическая формула, а по ней схемотехническая, обеспечивающая реализацию схемы с минимальной суммой собственных емкостей областей стоков и истоков транзисторов.

Упрощение схемы и внутрисхемной коммутации связано с ее симметрированием по отношению к входным управляющим сигналам. Такая проблема возникает в схемах "без отношения" — схемах на дополняющих МПД-транзисторах.

Назовем схему симметричной по отношению к управляющим сигналам, если она содержит одинаковое число n - и p -канальных транзисторов на каждом ярусе и на каждую пару дополняющих МПД-транзисторов подается один управляющий сигнал. Примером симметричных схем являются типовые элементы И-НЕ, ИЛИ-НЕ. Нетиповые схемы, выполняющие сложные функции, такими свойствами не обладают.

Задача симметрирования расширенной логической формулы для реализации схемы формулируется следующим образом: упорядочить функции $K_1(F)$ и $K_0(F)$ таким образом, чтобы элементы покрытия Π_{1L} функции $K_1(F)$ на каждом ярусе содержали максимальное число переменных, инверсных переменным, являющимся элементами покрытия Π_{0L} функции $K_0(F)$ на том же ярусе. Формула

(1) подтверждает справедливость такой постановки задачи, ибо устанавливает соответствие между управляющими сигналами, подаваемыми на n - и p -канальные транзисторы.

Процедура такого упорядочения сводится к тому, что при выборе покрытий, взвешивающих каждый ярус функций $K_0(F)$ и $K_1(F)$, множество покрытий, например Π_{1L} , инвертируется и сравнивается с покрытиями Π_{0L} . В качестве взвешивающего яруса выбираются такие покрытия, которые имеют максимальную мощность множества $\Pi_{0L} \cap \Pi_{1L}$.

Минимизация потребляемой в статическом режиме мощности сводится к синтезу расширенной логической формулы для схем "без отношения". В этом случае мощность определяется только токами утечки.

Часто при реализации логических элементов приходится ограничивать число последовательно соединенных транзисторов, чтобы избежать снижения быстродействия или увеличения площади элемента. При схемотехническом синтезе учет такого ограничения приводит к замене однокаскадного логического элемента многокаскадным.

Число ярусов, на которые разлагаются функции $K_1(F)$ и $K_0(F)$, определяет число последовательно соединенных транзисторов. Обозначим $m(K_1)$, $m(K_0)$ число ярусов функций $K_1(F)$, $K_0(F)$. Если допустимое число ярусов m_0 , то при $(m(K_1) > m_0) \wedge (m(K_0) > m_0)$ невозможна однокаскадная реализация элемента "без отношения" и поэтому исходная логическая функция F преобразуется к виду, допускающему многокаскадную реализацию с уменьшением числа входных логических переменных в каждом каскаде до величины, меньшей m_0 .

Если $(m(K_1) > m_0) \oplus (m(K_0) > m_0)$, где \oplus означает операцию сложения по $\text{mod} 2$, т.е. число ярусов разложения только одной из функций: $K_1(F)$ или $K_0(F)$ превышает m_0 , то тогда возможна реализация схемы "с отношением".

Установочный уровень выбирается из следующих условий:

если $m(K_1) < m_0$, а $m(K_0) > m_0$, то установочный уровень равен [0];

если $m(K_1) > m_0$, а $m(K_0) < m_0$, то установочный уровень равен [1].

После преобразования функции F и ее декомпозиции на составляющие функции на основе каждой из них записывается расширенная логическая формула, которая затем оптимизируется.

Другие критерии оптимизации требуют дополнительного специального освещения.

Возможность использования эвристических приемов при синтезе принципиальных схем. Рассмотренные теоретические основы метода синтеза принципиальных схем логических

элементов основаны на последовательном преобразовании исходной логической функции элемента. Однако множество принципиальных схем, реализующих одну логическую функцию на одном наборе компонентов, судя по патентной литературе, постоянно растет и не ограничивается теми решениями, которые получаются в результате процедуры синтеза. Это связано с тем, что, как правило, в каждой запатентованной схеме используется эвристический прием для совершенствования электрических характеристик элемента. Поэтому важно систематизировать эти приемы, формализовать их и вводить в процедуру синтеза. Тогда станет возможной генерация расширенных логических формул, учитывающих найденные эвристические приемы, и, следовательно, возрастет число вариантов схемотехнических решений.

Анализ отечественных авторских свидетельств и зарубежных патентов, выданных на логические элементы на МПД-транзисторах за период с 1960 по 1979 гг., позволил выявить основные эвристические приемы, способствующие улучшению свойств логических элементов:

- 1) каскадирование – реализация функции в виде последовательности каскадов;
- 2) шунтирование – замена высокоомной цепи последовательно соединенных транзисторов низкоомной, содержащей меньшее число транзисторов, но сохраняющей выполняемую функцию;
- 3) использование встроенных инверторов для предварительного формирования электрических сигналов с одновременной реализацией инверсной функции элементом;
- 4) разделение или объединение цепей, выполняющих логические функции и формирующих электрические сигналы с заданными характеристиками;
- 5) объединение цепей, реализующих одинаковые импликанты или их части, принадлежащие различным функциям;
- 6) использование квазистатического принципа регенерации напряжения логических уровней;
- 7) дублирование логических сигналов при ограничении нагрузочной способности элементов;
- 8) выделение определенных логических функций путем подачи сложных информационных и управляющих сигналов на отдельные транзисторы;
- 9) симметрирование схем по различным показателям;
- 10) применение некаскадных (ступенчатых) соединений элементов для выполнения логических функций;
- 11) использование триггерных структур с дополняющими по функциям цепями управления в каждом плече для реализации логической функции;
- 12) использование элементов смешанного типа.

Приведенный перечень не исчерпывает всех эвристических приемов и должен постоянно пополняться. Ряд приемов уже реализован в предложенном методе синтеза, другие требуют дополнительной работы. Например, синтез схем смешанного типа является составной частью общей процедуры синтеза.

При использовании указанных эвристических приемов можно ожидать уменьшения числа транзисторов в схеме (приемы 2,3,4,5,6), потребляемой мощности (приемы 1,2,6) и площади кристалла (приемы 3,4,5,6,7,9,10,12); повышения быстродействия (приемы 1,2,3,6,8,9,11) и помехоустойчивости (приемы 1,3,6,8,9,11), а также функциональной сложности схемы (приемы 1,4,6,8,10). Каждый эвристический прием, используемый при синтезе, вносит изменение в форму записи расширенной логической и схемотехнической формул. Причем число изменений зависит как от числа, так и от последовательности применяемых приемов.

Итак, представленные в данной работе теоретические основы синтеза принципиальных схем логических элементов сводятся к покрытию заданной логической функции функциями компонентов и их соединений. В результате последовательного преобразования логической функции в расширенную логическую и схемотехническую формулы можно нарисовать принципиальную схему элемента. Схемотехническая формула является аналитической моделью принципиальной схемы логического элемента, которая устанавливает порядок соединения компонентов.

Генерация множества различных расширенных логических и схемотехнических формул связана с использованием эквивалентных преобразований логических функций и упорядочением их по отдельным подмножествам входных переменных. Предложенный способ упорядочения базируется на разложении функции по элементам покрытия ярусов.

Разработанный метод выделения импликант функций, содержащих простые переменные в качестве информационных сигналов, и определения управляющих функций для реализации таких импликант, основан на теореме Шеннона.

Сформулированы схемотехнические критерии качества, которые учитываются при синтезе. Описана последовательность синтеза и оптимизации расширенных логических формул по схемотехническим критериям качества.

Дана классификация эвристических приемов, использованных при создании патентоспособных схем. Указано на возможность их формализации и применения при синтезе. Ряд приемов уже введен в процедуру синтеза.

ЛИТЕРАТУРА

1. Кармазинский А.Н. Элементарные структуры автоматов с временным хранением информации на МПД-транзисторах. – В кн.: Ядерная электроника. Под ред. Т.М. Агаханяна. М.: Атомиздат, 1975, вып. 5, с. 29–33.
2. Вавилов Е.Н., Портной Г.П. Синтез схем электронных цифровых машин. М.: Сов. радио, 1963–440 с.
3. Миллер Р. Теория переключательных схем, т. I. М.: Наука, 1970–416 с.
4. Горбатов В.А. Теория частично упорядоченных систем, М.: Сов. радио, 1976–336 с.
5. Кармазинский А.Н. Математические основы представления топологических чертежей. – В кн.: Микроэлектроника. М.: Сов. радио, 1974, вып. 7, с. 90–100.
6. Кармазинский А.Н., Округин И.А., Петрухин В.П. Автоматическая перестройка топологических чертежей элементов библиотечного набора на МПД-транзисторах. – В кн.: Микроэлектроника. М.: Сов. радио, 1976, вып. 9, с. 261–273.

А. Н. Кармазинский

УДК 681.325.65:621.382.3

ПРОЦЕДУРА СИНТЕЗА ПРИНЦИПИАЛЬНЫХ СХЕМ ЛОГИЧЕСКИХ ЭЛЕМЕНТОВ НА ДОПОЛНЯЮЩИХ МДП-ТРАНЗИСТОРАХ

Практическое применение теоретических основ синтеза принципиальных схем иллюстрируется на примере схемы "без отношений" на дополняющих МДП-транзисторах.

Сушность процедуры синтеза принципиальных схем логических элементов [1] заключается в покрытии заданной логической функции функциями, выполняемыми отдельными компонентами, которые создаются в рамках заданного технологического процесса.

Для выполнения этой процедуры исходная логическая функция элемента последовательно преобразуется в расширенную логическую, а затем в схемотехническую формулу.

При синтезе воспользуемся результатами, полученными в работе [1], в частности, будут использованы соотношения (1), (5) из [1], а также выражения для расширенной логической формулы

$$Z(F) = [1]K_1(F) + [0]K_0(F).$$

Отметим, что схемотехническая формула является моделью принципиальной схемы логического элемента. Модель представляет собой логические переменные с индексами, объединенные в слова. Схемотехнически каждая логическая переменная реализуется с помощью транзисторов и связей между ними. Схемотехническая формула отражает структуру принципиальной схемы. Оптимизация принципиальной схемы эквивалентна, таким образом, оптимизации структуры и ее упорядочению, и следовательно, сводится к оптимизации расширенной логической или схемотехнической формулы. Упорядочение расширенной логической формулы — это определение оптимальной последовательности подачи управляющих сигналов на транзисторы, реализующие функции $K_1(F)$ и $K_0(F)$.

Последовательность действий при синтезе рассмотрим на примере схемы "без отношений" логического элемента на дополняющих МДП-транзисторах. Для обеспечения принципиальной работоспособности и установления на выходе логических уровней "0" и "1" в схемах "без отношений" не требуется определенного соотношения между параметрами транзисторов.

АЛГОРИТМ СИНТЕЗА ПРИНЦИПИАЛЬНЫХ СХЕМ

Основой для синтеза является заданная логическая функция элемента. Действия при синтезе имеют следующую последовательность:

1. По заданной логической функции F определяются минимальные дизъюнктивные нормальные формы функций $K_1(F)$ и $K_0(F)$ одним из методов, описанных, например, в [2, 3].

2. Формулируется цель оптимизации принципиальной схемы и устанавливается соответствие между структурой расширенной логической формулы и оптимизируемыми критериями качества.

3. Определяются покрытия импликант функций $K_1(F)$ и $K_0(F)$ простыми переменными и их отрицаниями. Таким образом определяются подмножества Π_{Li} — кандидаты для взвешивания первого яруса [2] при упорядочении функций $K_1(F)$ и $K_0(F)$.

4. Выбирается оптимальное покрытие для взвешивания первого яруса.

5. Функции $K_1(F)$ и $K_0(F)$ разлагаются по выбранному набору переменных, определяется множество новых функций K_{1xi} , K_{0xi} , реализация которых начинается со второго яруса.

6. Определяются переменные, которыми целесообразно взвесить последующий ярус или последний ярус и которые позволяют объединить импликанты.

7. Находятся покрытия, взвешивающие второй ярус. Проверяется, взвешены ли все ярусы; если нет, то переходят к пункту 5, если да, то — к пункту 8.

8. Записывается расширенная логическая формула.

9. Записывается схемотехническая формула.

10. Рисуются принципиальная схема логического элемента.

ПРИМЕР СИНТЕЗА ПРИНЦИПИАЛЬНОЙ СХЕМЫ ЛОГИЧЕСКОГО ЭЛЕМЕНТА

Синтез принципиальной схемы логического элемента, минимизированной по числу транзисторов с симметрированием по отношению к входным сигналам на каждом ярусе, можно проиллюстрировать таким примером.

Пусть задана минимальная дизъюнктивная форма функции

$$F(x_1, x_2, x_3, x_4) = \bar{x}_1 \bar{x}_3 \bar{x}_4 + \bar{x}_2 \bar{x}_3 x_4 + \bar{x}_2 x_3 \bar{x}_4 + \bar{x}_1 x_2 x_3 x_4.$$

Требуется синтезировать принципиальную схему "без отношения" на дополняющих МДП-транзисто-

рах, реализующую эту функцию. Найдем минимальные дизъюнктивные нормальные формы функций $K_1(F)$ и $K_0(F)$. Так как функция F зависит только от четырех переменных, то можно для минимизации воспользоваться методом диаграмм Вейча. В результате получим

$$K_1(F) = \bar{x}_1\bar{x}_3\bar{x}_4 + \bar{x}_2\bar{x}_3x_4 + \bar{x}_2x_3\bar{x}_4 + \bar{x}_1x_2x_3x_4,$$

$$K_0(F) = x_1x_2 + x_2x_3\bar{x}_4 + \bar{x}_2x_3x_4 + x_1\bar{x}_3\bar{x}_4 + x_2\bar{x}_3x_4.$$

Строим матрицы инцидентности (табл. 1 и 2) для функций $K_1(F)$ и $K_0(F)$. Каждая матрица инцидентности [2] представляет собой двумерную таблицу, строками которой являются импликанты функции, а столбцами простые переменные или их отрицания. Покрытие переменными импликант отмечаются знаком 1. Определяем число импликант, покрываемых каждой простой переменной или ее отрицанием. Число покрытий отмечено в последней строке таблицы. Чем больше импликант покрывает

переменная, тем целесообразнее ее использовать для взвешивания первого яруса, так как она является общим сомножителем для большого числа импликант. Находим множества переменных, покрывающих матрицы инцидентности. Наибольший интерес представляют покрытия, имеющие минимальную мощность подмножества переменных Π_L .

Минимальные покрытия для $K_1(F)$ имеют вид:

$$\Pi_{11} = \{x_3, \bar{x}_3\}, \quad \Pi_{12} = \{x_4, \bar{x}_4\}, \quad \Pi_{13} = \{\bar{x}_1, \bar{x}_2\}.$$

Минимальные покрытия для $K_0(F)$ имеют вид:

$$\begin{aligned} \Pi_{01} &= \{x_1, x_2, \bar{x}_2\}, \quad \Pi_{02} = \{x_2, \bar{x}_2, \bar{x}_3\}, \quad \Pi_{03} = \{x_2, \bar{x}_2, \bar{x}_4\}, \\ \Pi_{04} &= \{x_3, \bar{x}_3, x_1\}, \quad \Pi_{05} = \{x_3, \bar{x}_3, x_2\}, \quad \Pi_{06} = \{x_4, \bar{x}_4, x_1\}, \\ \Pi_{07} &= \{x_4, \bar{x}_4, x_2\}, \quad \Pi_{08} = \{x_1, x_3, x_4\}. \end{aligned}$$

В качестве кандидатов для взвешивания первого яруса следует выбирать такие Π_{1L}, Π_{0L} , которые покрывают своими элементами импликанты из $K_1(F)$ и $K_0(F)$ минимальное число раз. В соответствии с формулой (5) из работы [1] это приводит к уменьшению числа управляющих сигналов в разложении функции, а следовательно, минимизирует число транзисторов, необходимых для реализации импликант, покрываемых элементами из Π_{1L}, Π_{0L} более одного раза.

Составим таблицы покрытий импликант элементами множеств Π_{1L}, Π_{0L} . В табл. 3 и 4 соответственно для функций $K_1(F)$ и $K_0(F)$ отмечено число пересечений элементов из множеств Π_L с импликантами функций. Как видно из табл. 3, для покрытий Π_{1L} каждая строка покрывается только один раз. Поэтому все покрытия являются равнозначными для взвешивания первого яруса.

Из табл. 4 видно, что для $K_0(F)$ минимальными и равнозначными покрытиями, имеющими минимальное число суммарных покрытий всех импликант, являются $\Pi_{01}, \Pi_{02}, \Pi_{03}, \Pi_{04}, \Pi_{06}, \Pi_{08}$. Однако каждое из этих покрытий имеет импликанту, которая дважды покрывается элементами из Π_{0L} .

Выбор наилучшего покрытия среди равнозначных направлен на уменьшение числа переменных в разложении функций $K_1(F)$ и $K_0(F)$ по элементам покрытия. Для этого следует выбрать такое покрытие, которое покрывает более одного раза импликанту с минимальным числом букв. В рассматриваемом примере это Π_{01} , так как его элементы дважды покрывают импликанту x_1x_2 , содержащую только две буквы.

Таким образом, первый ярус можно взвесить одним из трех множеств покрытий

$$\{\Pi_{11}, \Pi_{01}\}, \quad \{\Pi_{12}, \Pi_{01}\}, \quad \{\Pi_{13}, \Pi_{01}\}.$$

В качестве дополнительного соображения, которое следует принимать во внимание при выборе покрытий функций $K_1(F)$ и $K_0(F)$, можно использо-

Таблица 1

Импликанты	x_1	x_2	x_3	x_4	\bar{x}_1	\bar{x}_2	\bar{x}_3	\bar{x}_4
	$\bar{x}_1\bar{x}_3\bar{x}_4$	0	0	0	0	1	0	1
$\bar{x}_2\bar{x}_3x_4$	0	0	0	1	0	1	1	0
$\bar{x}_2x_3\bar{x}_4$	0	0	1	0	0	1	0	1
$\bar{x}_1x_2x_3x_4$	0	1	1	1	1	0	0	0
Число покрытий	0	1	2	2	2	2	2	2

Таблица 2

Импликанты	x_1	\bar{x}_1	x_2	\bar{x}_2	x_3	\bar{x}_3	x_4	\bar{x}_4
	x_1x_2	1	0	1	0	0	0	0
$x_2x_3\bar{x}_4$	0	0	1	0	1	0	0	1
$\bar{x}_2x_3x_4$	0	0	0	1	1	0	1	0
$x_1\bar{x}_3\bar{x}_4$	1	0	0	0	0	1	0	1
$x_2\bar{x}_3x_4$	0	0	1	0	0	1	1	0
Число покрытий	2	0	3	1	2	2	2	2

Таблица 3

Импликанты	Покрывает		
	x_3 \bar{x}_1	x_4 \bar{x}_4	\bar{x}_1 \bar{x}_2
$\bar{x}_1\bar{x}_3\bar{x}_4$	1	1	1
$\bar{x}_2\bar{x}_3x_4$	1	1	1
$\bar{x}_2x_3\bar{x}_4$	1	1	1
$\bar{x}_1x_2x_3x_4$	1	1	1

Таблица 4

Импликанты	Покрывает							
	x_1 \bar{x}_2	x_3 \bar{x}_3	x_2 \bar{x}_2	x_3 \bar{x}_3	x_4 \bar{x}_4	x_4 \bar{x}_4	x_1 \bar{x}_1	x_2 \bar{x}_2
x_1x_2	2	1	1	1	1	1	1	1
$x_2x_3\bar{x}_4$	1	1	2	1	2	1	2	1
$\bar{x}_2x_3x_4$	1	1	1	1	1	1	1	2
$x_1\bar{x}_3\bar{x}_4$	1	1	1	2	1	2	1	1
$x_2\bar{x}_3x_4$	1	2	1	1	2	1	2	1
Сумма покрытий	6	6	6	6	7	6	7	6

вать число общих переменных и отрицаний, входящих в Π_{1L}, Π_{0L} .

Для симметрирования схемы на каждом ярусе по отношению к входным сигналам (наиболее целесообразно делать для схем на дополняющих МДП-транзисторах) необходимо для взвешивания каждого яруса выбрать такую пару покрытий Π_{1L}, Π_{0L} , в которую входит максимальное число дополняющих переменных. Дополняющими назовем переменные, имеющие одинаковый порядковый номер и представленные в прямом и инверсном коде; например x и \bar{x} — дополняющие переменные.

Проведем сравнение покрытий для $K_1(F)$ и $K_0(F)$ и определим те из них, которые обеспечивают симметрирование схемы по отношению к входным сигналам на первом ярусе.

Для этого следует упорядочить элементы в каждом покрытии по возрастанию номеров переменных; проинвертировать переменные в одном из множеств покрытий для функции $K_1(F)$ или $K_0(F)$; определить число пересечений элементов каждого покрытия для функций $K_1(F)$ и $K_0(F)$; выбрать те покрытия, которые имеют наибольшее число пересечений, что свидетельствует о наибольших возможностях симметрирования данного яруса по входным логическим переменным.

В результате упорядочения и инвертирования покрытий для $K_1(F)$ получим

$$\begin{aligned} \bar{\Pi}_{11} &= \{x_3, \bar{x}_3\}, \bar{\Pi}_{12} = \{x_4, \bar{x}_4\}, \bar{\Pi}_{13} = \{x_1, x_2\}, \\ \Pi_{01} &= \{x_1, x_2, \bar{x}_2\}, \Pi_{02} = \{x_2, \bar{x}_2, \bar{x}_3\}, \Pi_{03} = \{x_2, \bar{x}_2, \bar{x}_4\}, \\ \Pi_{04} &= \{x_1, x_3, \bar{x}_3\}, \Pi_{06} = \{x_1, x_4, \bar{x}_4\}, \Pi_{08} = \{x_1, x_3, x_4\}. \end{aligned}$$

В табл.5 указано число пересечений элементов, входящих в покрытия $\bar{\Pi}_{1L}, \Pi_{0L}$.

Множествами покрытий, которые обеспечивают наибольшее симметрирование схемы на первом ярусе, являются

$$\{\Pi_{13}, \Pi_{01}\}, \{\Pi_{11}, \Pi_{04}\}, \{\Pi_{12}, \Pi_{06}\}.$$

Множествами покрытий, которые минимизируют число букв в разложении функций $K_1(F), K_0(F)$, являются

$$\{\Pi_{11}, \Pi_{01}\}, \{\Pi_{12}, \Pi_{01}\}, \{\Pi_{13}, \Pi_{01}\}.$$

Отметим, что множество $\{\Pi_{13}, \Pi_{01}\}$ одновременно минимизирует число букв и симметрирует схему.

Если для функции F такого множества не найдется, следует, пользуясь таблицей пересечений элементов $\bar{\Pi}_{1L}$ и Π_{0L} выбрать такое из минимизирующих число переменных множество, которое дает максимальное число пересечений.

Выбираем в качестве покрытий, взвешивающих первые ярусы $K_1(F)$ и $K_0(F)$, покрытия Π_{13} и Π_{01} .

Пользуясь соотношением (5) из работы [1], раз-

ложим функцию $K_1(F)$ по переменным $\Pi_{13} = \{\bar{x}_1, \bar{x}_2\}$, а функцию $K_0(F)$ по переменным $\Pi_{01} = \{x_1, x_2, \bar{x}_2\}$. В результате получим

$$K_1(F) = \bar{x}_1(\bar{x}_3\bar{x}_4 + x_2x_3x_4) + \bar{x}_2(\bar{x}_3x_4 + x_3\bar{x}_4) = \bar{x}_1K_{1\bar{x}_1} + \bar{x}_2K_{1\bar{x}_2},$$

где $K_{1\bar{x}_1} = \bar{x}_3\bar{x}_4 + x_2x_3x_4$,

$$K_{1\bar{x}_2} = \bar{x}_3x_4 + x_3\bar{x}_4,$$

$$\begin{aligned} K_0(F) &= x_1(\bar{x}_3\bar{x}_4) + x_2(x_3\bar{x}_4 + \bar{x}_3x_4) + \\ &\bar{x}_2(x_3x_4) + x_1x_2 = x_1(x_2 + \bar{x}_3\bar{x}_4) + x_2(x_3\bar{x}_4 + \\ &+ \bar{x}_3x_4) + \bar{x}_2(x_3x_4) = x_1K_{0x_1} + x_2K_{0x_2} + \\ &+ \bar{x}_2K_{0\bar{x}_2}, \end{aligned}$$

где $K_{0x_1} = x_2 + \bar{x}_3\bar{x}_4$,

$$K_{0x_2} = x_3\bar{x}_4 + \bar{x}_3x_4,$$

$$K_{0\bar{x}_2} = x_3x_4.$$

При реализации схем общее число транзисторов минимизируется, если на первом и последнем ярусах через транзисторы проходит большинство цепей. Это соответствует тому, что имеются общие переменные x_i , которые входят в импли-

каны функций, полученные в результате разложения $K_1(F)$ и $K_0(F)$ на первом ярусе по элементам, входящим в Π_{1L} и Π_{0L} . Действительно, покрытие всех функций K_{1x_i} минимальным числом переменных позволяет выявить общие переменные для нескольких новых функций, полученных в результате разложения. Например, в рассматриваемом случае имеются две функции $K_{1\bar{x}_1}$ и $K_{1\bar{x}_2}$ для разложения $K_1(F)$ и три функции для разложения $K_0(F)$ — $K_{0x_1}, K_{0x_2}, K_{0\bar{x}_2}$. Определим переменные, которыми целесообразно взвешивать последний ярус функций $K_1(F)$ и $K_0(F)$.

Найдем покрытия множеств функций $\{K_{1x_i}\}$ и $\{K_{0x_i}\}$. Для этого составим обобщенные матрицы инцидентности, строками одной из которых являются все импликанты, входящие в функции $\{K_{1x_i}\}$, строками другой — в $\{K_{0x_i}\}$. Столбцами

таблица 5

$\bar{\Pi}_{11}, \Pi_{01}$	$\bar{\Pi}_{12}, \Pi_{02}$	$\bar{\Pi}_{13}, \Pi_{03}$	$\bar{\Pi}_{14}, \Pi_{04}$	$\bar{\Pi}_{16}, \Pi_{06}$	$\bar{\Pi}_{18}, \Pi_{08}$
0	1	0	2	0	1
$\bar{\Pi}_{11}, \Pi_{01}$	$\bar{\Pi}_{12}, \Pi_{02}$	$\bar{\Pi}_{13}, \Pi_{03}$	$\bar{\Pi}_{14}, \Pi_{04}$	$\bar{\Pi}_{16}, \Pi_{06}$	$\bar{\Pi}_{18}, \Pi_{08}$
0	0	1	0	2	1
$\bar{\Pi}_{11}, \Pi_{01}$	$\bar{\Pi}_{12}, \Pi_{02}$	$\bar{\Pi}_{13}, \Pi_{03}$	$\bar{\Pi}_{14}, \Pi_{04}$	$\bar{\Pi}_{16}, \Pi_{06}$	$\bar{\Pi}_{18}, \Pi_{08}$
2	1	1	1	1	1

матрицы являются переменные и их отрицания. Эти матрицы представлены табл.6 и 7.

Определяем множества покрытий обобщенных матриц инцидентности. Минимальные покрытия этих матриц содержат минимальное число элементов. Обозначим Π_{1i}^* и Π_{0i}^* покрытия множеств функций $\{K_{1x_i}\}$ и $\{K_{0x_i}\}$ на последнем ярусе. Из табл.6 и 7 следует, что минимальные покрытия множеств $\{K_{1x_i}\}$, $\{K_{0x_i}\}$ имеют вид:

$$\Pi_{11}^* = \{x_3, \bar{x}_3\}, \quad \Pi_{12}^* = \{x_4, \bar{x}_4\},$$

$$\Pi_{01}^* = \{x_2, x_3, \bar{x}_3\}, \quad \Pi_{02}^* = \{x_2, x_4, \bar{x}_4\}.$$

Определяем число покрытий элементами, входящими в Π_{1i}^* , Π_{0i}^* , импликант функций K_{1x_i} , K_{0x_i} . Для этого строим табл.8 и 9, в которых отмечаем число пересечений элементов покрытия с импликантами, образующими функции. Как видно из табл.8 и 9, все импликанты функций покрываются только по одному разу, поэтому они все равнозначны. Для симметрирования принципиальной схемы на последнем ярусе по отношению к вход-

ным сигналам лучшими покрытиями являются

$$\{\Pi_{11}^*, \Pi_{01}^*\}, \quad \{\Pi_{12}^*, \Pi_{02}^*\}.$$

Каждая пара этих покрытий равнозначна поэтому для взвешивания последнего яруса можно выбрать любую.

Выберем для взвешивания последнего яруса покрытия Π_{11}^* и Π_{01}^* . Это означает, что элементы этих покрытий нельзя использовать на всех промежуточных ярусах, начиная со второго и кончая предпоследним. Элементы этих покрытий можно использовать только в том случае, когда множества вновь образованных функций будут взвешиваться только этими переменными. Это означает, что процесс упорядочения функций $K_1(F)$ и $K_0(F)$ достиг последнего яруса.

Проведем разложение функций на втором ярусе. С этой целью для каждой функции K_{1x_i} , K_{0x_i} строится матрица инцидентности, по которой определяются покрытия-претенденты для взвешивания яруса. Специально матрицы инцидентности можно не строить, а воспользоваться результатами, приведенными в обобщенных матрицах инцидентности (см.табл.8).

В результате несложно получить следующие покрытия:

для $K_{1\bar{x}_1}$

$$(\Pi_{11})_{\bar{x}_1} = \{x_3, \bar{x}_3\}, \quad (\Pi_{12})_{\bar{x}_1} = \{x_4, \bar{x}_4\};$$

для $K_{1\bar{x}_2}$

$$(\Pi_{11})_{\bar{x}_2} = \{x_3, \bar{x}_3\}, \quad (\Pi_{12})_{\bar{x}_2} = \{x_4, \bar{x}_4\}.$$

Как видно, $(\Pi_{11})_{\bar{x}_1} = (\Pi_{11})_{\bar{x}_2}$; $(\Pi_{12})_{\bar{x}_1} = (\Pi_{12})_{\bar{x}_2}$.

В качестве покрытий, взвешивающих второй ярус, выбираем $(\Pi_{12})_{\bar{x}_1}$ и $(\Pi_{12})_{\bar{x}_2} = \{x_4, \bar{x}_4\}$, так как элементами, входящими в $(\Pi_{11})_{\bar{x}_1}$, $(\Pi_{11})_{\bar{x}_2}$ взвешивается последний ярус.

Для K_{0x_1} получим

$$(\Pi_{01})_{x_1} = \{x_2, \bar{x}_3\}, \quad (\Pi_{02})_{x_1} = \{x_2, \bar{x}_4\};$$

для K_{0x_2} получим

$$(\Pi_{01})_{x_2} = \{x_3, \bar{x}_3\}, \quad (\Pi_{02})_{x_2} = \{x_3, x_4\},$$

$$(\Pi_{03})_{x_2} = \{\bar{x}_3, \bar{x}_4\}, \quad (\Pi_{04})_{x_2} = \{x_4, \bar{x}_4\};$$

для $K_{0\bar{x}_2}$ получим

$$(\Pi_{01})_{\bar{x}_2} = \{x_3\}, \quad (\Pi_{02})_{\bar{x}_2} = \{x_4\}.$$

В качестве покрытий, взвешивающих второй ярус функций K_{0x_i} , выбираем $(\Pi_{02})_{x_1} = \{x_2, \bar{x}_4\}$,

$(\Pi_{04})_{x_2} = \{x_4, \bar{x}_4\}$, $(\Pi_{02})_{x_2} = \{x_4\}$. Эти покрытия содержат минимальное число элементов, по-

Таблица 6

		Импликанты				
		x_2	x_3	\bar{x}_3	x_4	\bar{x}_4
$K_{1\bar{x}_1}$	\bar{x}_3, \bar{x}_4	0	0	1	0	1
	x_2, x_3, x_4	1	1	0	1	0
$K_{1\bar{x}_2}$	\bar{x}_3, x_4	0	0	1	1	0
	x_2, \bar{x}_4	0	1	0	0	1
Сумма покрытий		1	2	2	2	2

Таблица 7

		Импликанты				
		x_2	x_3	\bar{x}_3	x_4	\bar{x}_4
K_{0x_1}	x_2	1	0	0	0	0
	\bar{x}_3, \bar{x}_4	0	0	1	0	1
K_{0x_2}	x_2, \bar{x}_3	0	1	0	0	1
	\bar{x}_3, x_4	0	0	1	1	0
$K_{0\bar{x}_2}$	x_2, x_4	0	1	0	1	0
Сумма покрытий		1	2	2	2	2

Таблица 9

		Импликанты		Покрытия	
		x_2	\bar{x}_3	x_2	\bar{x}_4
$K_{1\bar{x}_1}$	\bar{x}_3, \bar{x}_4	1	1		
	x_2, x_3, x_4	1	1		
Сумма покрытий		2	2		
$K_{1\bar{x}_2}$	\bar{x}_3, x_4	1	1		
	x_2, \bar{x}_4	1	1		
Сумма покрытий		2	2		
K_{0x_1}	x_2	1	1		
	\bar{x}_3, \bar{x}_4	1	1		
Сумма покрытий		2	2		
K_{0x_2}	x_2, \bar{x}_3	1	1		
	\bar{x}_3, x_4	1	1		
Сумма покрытий		2	2		
$K_{0\bar{x}_2}$	x_2, x_4	1	1		
Сумма покрытий		1	1		

крывающих последний ярус. Действительно, сравнивая элементы выделенных покрытий $(\Pi_{02})_{x_1}$, $(\Pi_{04})_{x_2}$, $(\Pi_{02})_{\bar{x}_2}$ с элементами покрытия последнего яруса $\Pi_{01}^* = \{x_2, x_3, \bar{x}_3\}$, находим, что $(\Pi_{02})_{x_1} \cap \Pi_{01}^* = x_2$; $(\Pi_{04})_{x_2} \cap \Pi_{01}^* = \phi$; $(\Pi_{02})_{\bar{x}_2} \cap \Pi_{01}^* = \phi$, т.е. имеется только одна переменная, входящая в покрытие последнего яруса.

Выбранные покрытия позволяют симметризовать принципиальную схему по отношению к входным сигналам x_4, \bar{x}_4 .

Разложим функции по переменным $\{x_4, \bar{x}_4\}$. В результате получим:

$$K_{1\bar{x}_1} = x_4(x_2x_3) + \bar{x}_4(\bar{x}_3) = x_4 K_{1\bar{x}_1x_4} + \bar{x}_4 K_{1\bar{x}_1\bar{x}_4};$$

$$K_{1\bar{x}_2} = x_4(\bar{x}_3) + x_4(x_3) = x_4 K_{1\bar{x}_2x_4} + \bar{x}_4 K_{1\bar{x}_2\bar{x}_4},$$

где $K_{1\bar{x}_1x_4} = x_2x_3, \quad K_{1\bar{x}_1\bar{x}_4} = \bar{x}_3,$

$$K_{1\bar{x}_2x_4} = \bar{x}_3, \quad K_{1\bar{x}_2\bar{x}_4} = x_3.$$

Как видно из приведенных результатов, все функции, за исключением $K_{1\bar{x}_1x_4}$, вышли на последний — третий ярус упорядочения. Для функции $K_{1\bar{x}_1x_4}$ существует четыре яруса. На третьем ярусе

$$K_{1\bar{x}_1x_4} = x_2(x_3) = x_2 K_{1\bar{x}_1x_4x_2},$$

где $K_{1\bar{x}_1x_4x_2} = x_3$.

Это означает, что третий ярус взвешивается переменной x_2 , а четвертый — x_3 .

Разложим функции $K_{0x_1}, K_{0x_2}, K_{0\bar{x}_2}$ соответственно по переменным $(\Pi_{02})_{x_2} = \{x_2, \bar{x}_4\}$, $(\Pi_{04})_{x_2} = \{x_4, \bar{x}_4\}$, $(\Pi_{02})_{\bar{x}_2} = \{x_4^1\}$. Отметим, что все импликанты покрываются только один раз. Это справедливо для всех функций K_{0x_i} . В результате получим

$$K_{0x_1} = x_2 + \bar{x}_4(\bar{x}_3) = x_2 K_{0x_1x_2} + \bar{x}_4 K_{0x_1\bar{x}_4},$$

$$K_{0x_2} = x_4(\bar{x}_3) + \bar{x}_4(x_3) = x_4 K_{0x_2x_4} + \bar{x}_4 K_{0x_2\bar{x}_4},$$

$$K_{0\bar{x}_2} = x_4(x_3) = x_4 K_{0\bar{x}_2x_4},$$

где $K_{0x_1x_2} = 1, \quad K_{0x_1\bar{x}_4} = \bar{x}_3, \quad K_{0x_2x_4} = \bar{x}_3,$

$$K_{0\bar{x}_2x_4} = x_3, \quad K_{0\bar{x}_2\bar{x}_4} = x_3.$$

Как видно из приведенных результатов, все функции вышли на последний ярус, а функция $K_{0x_1x_2}$ уже достигла последнего яруса. Об этом свидетельствует значение функции, равное единице.

Для объединения функций на последнем ярусе, полученных в результате разложения $K_1(F)$ или $K_0(F)$, необходимо, чтобы на последнем ярусе эти

функции взвешивались одинаковыми переменными; число элементов в покрытии каждой функции на ярусах, предшествующих последнему, было равно единице или двум (тогда этот ярус должен взвешиваться дополняющими переменными); один из ярусов объединяемых функций, предшествующий последнему, взвешивался дополняющими переменными.

Различные варианты объединения функций на последнем ярусе графически представлены на рис.1.

На основе полученных результатов нетрудно установить, что на последнем ярусе объединяются следующие пары функций:

для $K_{1x_i x_j}$ по переменной $x_3 - (K_{1\bar{x}_1x_4x_2}, K_{1\bar{x}_2\bar{x}_4})$;

по переменной $\bar{x}_3 - (K_{1\bar{x}_1\bar{x}_4}, K_{1\bar{x}_2x_4})$;

для $K_{0x_i x_j}$ по переменной $x_3 - (K_{0x_2\bar{x}_4}, K_{0\bar{x}_2x_4})$,

по переменной $\bar{x}_3 - (K_{0x_1x_4}, K_{0x_2x_4})$.

Будем записывать переменные, по которым происходит объединение, в угловых скобках $\langle \rangle$. Наличие угловых скобок в выражениях свидетельствует о том, что заключенные в них переменные являются общими для нескольких импликант или функций. Если разные группы функций объединяются по одним и тем же переменным, то этим переменным следует присваивать различные индексы.

На основе изложенного функции $K_{1x_i x_j}, K_{0x_i x_j}$ следует записать в виде

$$K_{1\bar{x}_1x_4x_2} = \langle x_3^1 \rangle, \quad K_{0x_1x_2} = 1,$$

$$K_{1\bar{x}_1\bar{x}_4} = \langle \bar{x}_3^1 \rangle, \quad K_{0x_1\bar{x}_4} = \langle \bar{x}_3^0 \rangle,$$

$$K_{1x_2x_4} = \langle \bar{x}_3^1 \rangle, \quad K_{0x_2\bar{x}_4} = \langle x_3^0 \rangle;$$

$$K_{1\bar{x}_2\bar{x}_4} = \langle x_3^1 \rangle; \quad K_{0x_2x_4} = \langle \bar{x}_3^0 \rangle,$$

$$K_{0\bar{x}_2x_4} = \langle x_3^0 \rangle.$$

В последних соотношениях индексы отражают принадлежность к функциям $K_1(F)$ и $K_0(F)$.

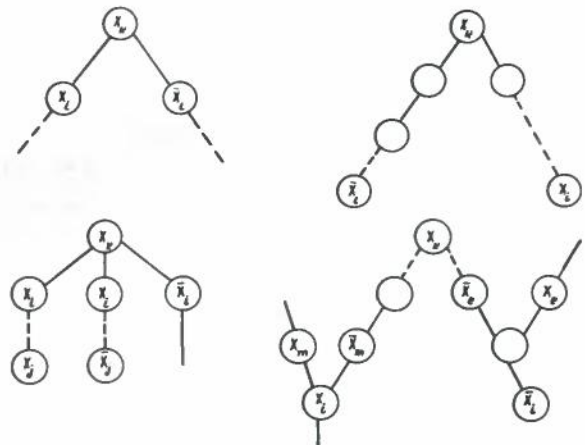


Рис.1. Возможные варианты объединения функций на последнем ярусе

Запишем выражения для функций $K_1(F)$ и $K_0(F)$, соответствующие выполненному упорядочению. Для $K_1(F)$ последовательно получим

$$\begin{aligned} K_1(F) &= \bar{x}_1 K_{1\bar{x}_1} + \bar{x}_2 K_{1\bar{x}_2} = \\ &= \bar{x}_1 (x_4 K_{1\bar{x}_1 x_4} + \bar{x}_4 K_{1\bar{x}_1 \bar{x}_4}) + \\ &+ \bar{x}_2 (x_4 K_{1\bar{x}_2 x_4} + \bar{x}_4 K_{1\bar{x}_2 \bar{x}_4}) = \\ &= \bar{x}_1 (x_4 (x_2 K_{1\bar{x}_1 \bar{x}_4 x_2} + \bar{x}_4 K_{1\bar{x}_1 \bar{x}_4}) + \\ &+ \bar{x}_2 (x_4 K_{1\bar{x}_2 x_4} + \bar{x}_4 K_{1\bar{x}_2 \bar{x}_4})) = \\ &= \bar{x}_1 (x_4 (x_2 < x_3^1 > + \bar{x}_4 < \bar{x}_3^1 >) + \\ &+ \bar{x}_2 (x_4 < \bar{x}_3^1 > + \bar{x}_4 < x_3^1 >)). \end{aligned}$$

Каждая скобка в записи определяет переменные, управляющие работой транзисторов на соответствующем ярусе, начиная со второго. Число ярусов равно числу открывающихся скобок в каждом дизъюнктивном члене плюс один. В рассматриваемом примере максимальное число открывающихся скобок равно трем. Следовательно, функция $K_1(F)$ реализуется на четырех ярусах.

Для функции $K_0(F)$ получим

$$\begin{aligned} K_0(F) &= x_1 K_{0x_1} + x_2 K_{0x_2} + \bar{x}_2 K_{0\bar{x}_2} = \\ &= x_1 (x_2 K_{0x_1 x_2} + \bar{x}_4 K_{0x_1 \bar{x}_4}) + x_2 (x_4 K_{0x_2 x_4} + \\ &+ \bar{x}_4 K_{0x_2 \bar{x}_4}) + \bar{x}_2 (x_4 K_{0\bar{x}_2 x_4} + \\ &+ \bar{x}_4 K_{0\bar{x}_2 \bar{x}_4}) = \\ &= x_1 (x_2 + \bar{x}_4 < \bar{x}_3^0 >) + x_2 (x_4 < \bar{x}_3^0 > + \\ &+ \bar{x}_4 < x_3^0 >) + \bar{x}_2 (x_4 < x_3^0 > + \bar{x}_4 < \bar{x}_3^0 >)). \end{aligned}$$

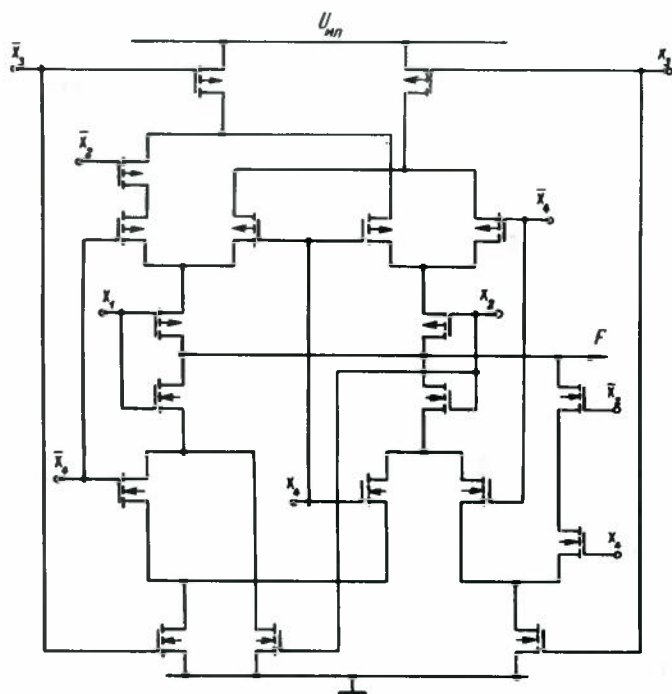


Рис.2. Синтезированная схема логического элемента

Максимальное число ярусов для реализации функции $K_0(F)$ равно трем.

На основе полученных результатов запишем расширенную логическую формулу для функции F и схемотехническую формулу для реализации схемы на дополняющих МДП-транзисторах:

$$\begin{aligned} Z(F) &= [1] K_1(F) + [0] K_0(F) = \\ &= [1] (\bar{x}_1 (x_4 (x_2 < x_3^1 >) + \bar{x}_4 < \bar{x}_3^1 >) + \\ &+ \bar{x}_2 (x_4 < \bar{x}_3^1 > + \bar{x}_4 < x_3^1 >)) + \\ &+ [0] (x_1 (x_2 + \bar{x}_4 < \bar{x}_3^0 >) + x_2 (x_4 < \bar{x}_3^0 > + \\ &+ \bar{x}_4 < x_3^0 >) + (\bar{x}_2 (x_4 < \bar{x}_3^0 > + \\ &+ \bar{x}_4 < x_3^0 >))); \\ C(Z) &= [1] (x_1^P (\bar{x}_4^P (x_2^P < \bar{x}_3^1 >^P) + \\ &+ x_4^P < x_3^1 >^P) + x_2^P (\bar{x}_4^P < x_3^1 >^P + \\ &+ x_4^P < \bar{x}_3^1 >^P)) + [0] (x_1^n (x_2^n + \\ &+ \bar{x}_4^n < \bar{x}_3^0 >^n) + x_2^n (x_4^n < \bar{x}_3^0 >^n + \\ &+ \bar{x}_4^n < x_3^0 >^n) + \bar{x}_2^n (x_4^n < x_3^0 >^n)). \end{aligned}$$

На основе схемотехнической формулы рисуем принципиальную схему элемента, представленную на рис.2.

Описанная процедура синтеза и оптимизации схемотехнического решения пригодна для программной реализации.

Нетрудно убедиться, что реализация рассмотренной логической функции на типовых логических элементах И-НЕ, ИЛИ-НЕ потребует гораздо большего числа транзисторов, чем схема, приведенная на рис.2.

* * *

Таким образом, синтез схем "без отношения" на дополняющих МДП-транзисторах сводится к схемотехнической реализации функций $K_1(F)$ и $K_0(F)$, представленных в минимальной дизъюнктивной нормальной форме и описывающих все наборы переменных, на которых функция F принимает соответственно значения 1 и 0.

Предложен и разработан алгоритм синтеза схем "без отношений" на дополняющих МДП-транзисторах.

Приведен пример, иллюстрирующий процедуру синтеза. Отмечено, что полученная в результате синтеза схема реализуется на значительно меньшем числе транзисторов, чем схема с аналогичными функциями, но выполненная на типовых логических элементах.

Предложен способ аналитического представления схемотехнической формулы при объединении импликант функций $K_1(F)$ или $K_0(F)$ на отдельных ярусах. Определены условия, при выполнении которых возможно объединение импликант функций на отдельных ярусах с целью минимизации числа транзисторов в принципиальной схеме.

ЛИТЕРАТУРА

1. Кармазинский А.Н. Теоретические основы синтеза принципиальных схем логических элементов. - Наст. вып., с. 52.
2. Горбатов В.А. Теория частично упорядоченных систем. - М.: Сов. радио, 1976. - 336 с.
3. Вавилов Е.Н., Портной Г.П. Синтез схем электронных цифровых машин. - М.: Сов. радио, 1963. - 440 с.

ТЕНДЕНЦИИ РАЗВИТИЯ МЕТОДОВ ЛИТОГРАФИИ В МИКРОЭЛЕКТРОНИКЕ

В порядке обсуждения

Анализ путей развития литографии позволяет ожидать, что в ближайшем десятилетии контактная фотопечать будет вытесняться проекционной с использованием ультрафиолетового излучения, начнется внедрение в производство методов генерирования изображений непосредственно на полупроводниковые пластины.

Начало третьего десятилетия существования планарной технологии характеризуется неопределенностью пути, по которому пойдет дальнейшее ее развитие. Практически все согласны с тем, что контактная фотопечать, на которую до последнего времени опиралась планарная технология, уже не отвечает требованиям развивающейся микроэлектроники. Но среди специалистов нет единого мнения относительно того, какой метод придет на смену контактной печати. До последнего времени многие из них высказывались в пользу электронно-лучевых методов формирования изображений на кремниевых пластинах. Много сторонников и у рентгенолитографии. Специалисты-оптики считают, что по крайней мере в ближайшем десятилетии в области развития микроэлектроники предпочтение следует отдавать ультрафиолетовой фотолитографии. Но до тех пор, пока не определены достаточно точно пути дальнейшего развития литографии, необходимы значительные затраты на исследования и разработки в каждом из этих направлений.

Большое значение для правильного распределения этих затрат имеет анализ тенденций развития микроэлектроники, позволяющий определить динамику требований к процессам литографии, пути удовлетворения которых и будут путями развития планарной технологии.

Современные ИС своим появлением и развитием в значительной степени обязаны цифровой технике, так как ключевой режим работы цифровых схем позволяет получать достаточно широкую зону их работоспособности при очень больших разбросах параметров компонентов. Возникнув в начале 40-х годов, цифровая техника за неполные четыре десятилетия существенно развилась, заняв заметную долю в общем объеме электронного производства. За это время она претерпела ряд качественных изменений, следовавших друг за другом примерно с десятилетним периодом (рис. 1).

Появление транзисторов обусловило переход в 50-х годах к использованию полупроводников. В

следующем десятилетии возникновение микроэлектроники привело к быстрому переводу цифровой техники на ИС.

В настоящее время в цифровой технике широко применяются большие интегральные схемы и начался переход на сверхбольшие ИС.

В аналоговой технике за это время тоже происходили изменения, однако, как видно из рис. 2, более медленно, с периодом 25–30 лет, сейчас осуществляется переход на ИС. Начало перевода аналоговой техники на БИС наступит в конце 80-х годов. Причиной более медленных темпов развития этой части электроники является то, что к параметрам компонентов, входящих в устройства, предъявляются повышенные требования. Тем не менее в развитии аналоговых ИС (как и цифровых) ярко выражена тенденция к росту степени интеграции изделий. Эта общая тенденция проявилась с начала возникновения микроэлектроники и будет одной из основных в будущем.

На пути роста степени интеграции изделий микроэлектроники стоит ряд сложных технических и технологических проблем, в том числе проблема обеспечения высокой воспроизводимости парамет-

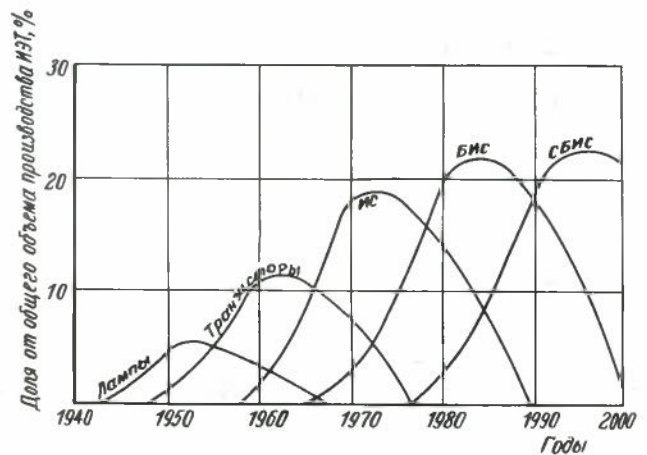


Рис. 1. Развитие цифровой техники

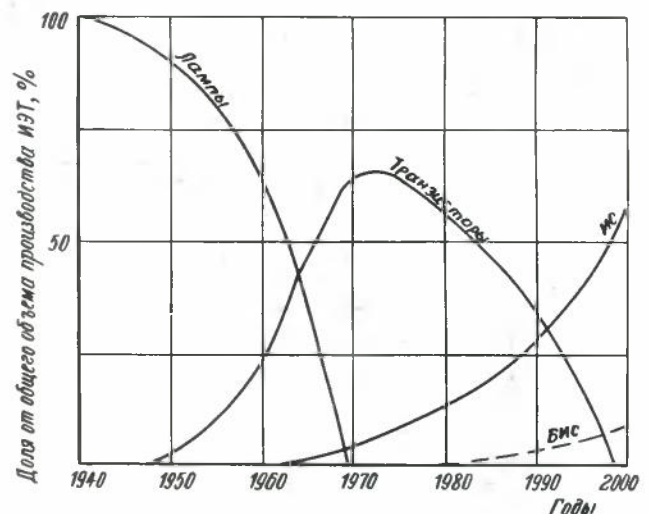


Рис. 2. Развитие аналоговой техники

ров компонентов на кристалле. В значительной степени решение этой проблемы зависит от развития процессов формирования изображений на полупроводниковых пластинах.

За прошедшие два десятилетия с момента появления планарной технологии процесс фотолитографии существенно усовершенствовался. Это видно из рис. 3, где приведена эволюция основных параметров разрешения литографии. Минимальный размер элемента выпускаемых изделий за это время уменьшился в 5 раз: с 20–25 до 4–5 мкм (кривая 1); этот размер существенно зависит от

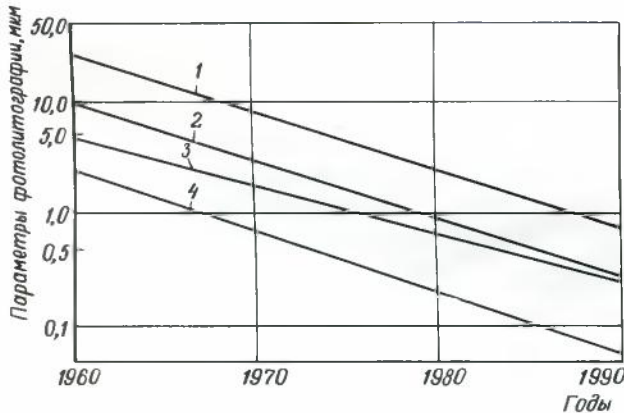


Рис. 3. Развитие процесса фотолитографии: 1 — минимальный размер элемента ИС; 2 — разрешающая способность оптики; 3 — величина зазора на совмещении; 4 — точность работы оптико-механического оборудования

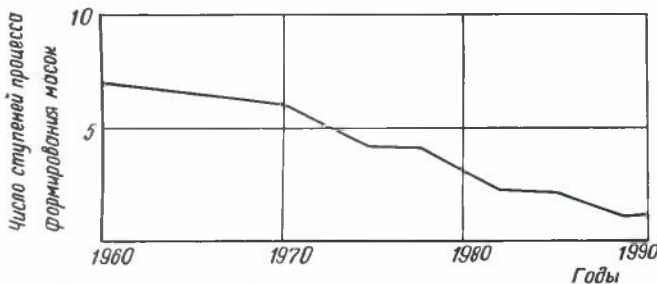


Рис. 4. Изменение числа ступеней процесса формирования масок

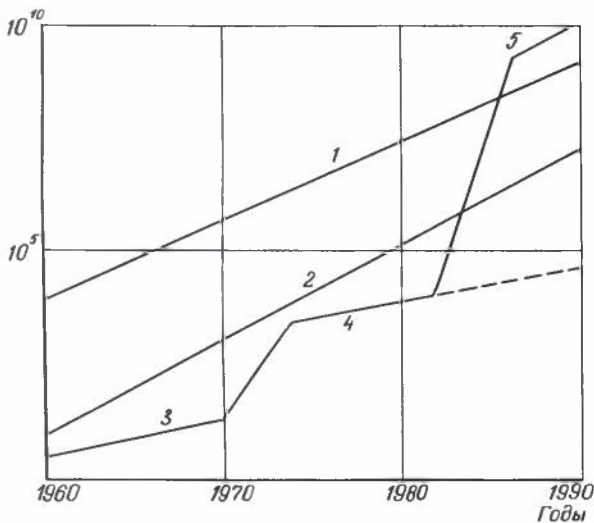


Рис. 5. Развитие процесса генерирования изображений: 1 — число элементов на пластине; 2 — число элементов на кристалле; 3 — производительность координатографа; 4 — производительность микрофотонаборного генератора изображений; 5 — производительность ЗЛ и УФ генераторов изображений на кремний

разрешающей способности оптики литографического оборудования. Повышение разрешающей способности оптики (кривая 2) происходило примерно теми же темпами, что и уменьшение минимального размера элемента. Чтобы достичь его одномикронного рубежа, разрешающая способность оптики к концу 80-х годов должна составить 0,4–0,5 мкм. Есть еще один важный параметр литографии, определяющий плотность размещения компонентов на кристалле, — это зазор на совмещении, который проектировщики должны закладывать в последовательные слои литографии, чтобы ограничить брак по совмещению. За прошедшие 20 лет величина этого параметра уменьшилась примерно в 4–5 раз (кривая 3).

Необходимая величина зазора на совмещении определяется, с одной стороны, неопределенностью края изображения, зависящей от разрешающей способности оптики, с другой — точностью работы оборудования. Как видно из диаграммы (кривая 4), за это время точность оборудования повысилась практически в 10 раз: с $\pm 2,5$ до $\pm (0,2 \div 0,25)$ мкм.

Кроме повышения параметров процесса литографии, с развитием микроэлектроники происходят его заметные качественные изменения. Одной из тенденций этих изменений является уменьшение числа ступеней процесса формирования масок в производстве полупроводниковых ИС (рис. 4). Первоначально процесс состоял из семи последовательных операций: нарезания оригинала, первичного отъема, копирования промежуточного оригинала на хром, мультипликации, снятия первичных копий, снятия рабочих копий фотошаблонов и фотопечати на кремний. С появлением в начале 70-х годов генераторов изображений и быстродействующих фотоповторителей число операций сократилось до четырех.

Сейчас происходит переход к двухступенчатому процессу: генерированию изображений и фотопечати на кремний с мультипликацией. К середине 80-х годов можно ожидать перехода к наиболее оптимальному одноступенчатому процессу — генерированию изображений непосредственно на кремниевые пластины. Однако этот переход потребует резкого увеличения производительности генераторов изображений.

За 20 лет существования микроэлектроники процесс генерирования изображений получил существенное развитие, которое сопровождалось качественными скачками. Рост производительности процесса генерирования изображений (рис. 5) представлен на фоне роста информационной сложности топологии отдельных кристаллов (модулей) и всей пластины.

Первый качественный скачок, который произошел в начале 70-х годов, связан с переходом от координатографов к микрофотонаборным генераторам изображений. Он позволил поднять производительность процесса на несколько порядков и перейти от ИС к БИС.

Сейчас микроэлектроника находится в преддверии очередного скачка в повышении производи-

тельности генераторов изображений (на три—пять порядков), что необходимо для перехода к генерированию изображений непосредственно на кремниевые пластины.

Разрешение процесса литографии. Рост степени интеграции изделий микроэлектроники сопровождался уменьшением размеров элементов топологии, повышением плотности их размещения и в меньшей мере ростом размеров кристаллов, который ограничен резким уменьшением выхода годных из-за дефектов. Минимальные размеры элементов и плотность их размещения в значительной степени определяются разрешением процесса литографии. Под термином "разрешение" в настоящей статье понимается обобщенный параметр процесса литографии, включающий разрешающую способность оптики, точность оборудования и качество выполнения химических операций. Числовым выражением такого параметра может быть среднее квадратичное отклонение положения границ гравированных в процессе литографии фигур σ_{Γ} .

Причин отклонения границ гравированного элемента от заданного значения много. К ним относятся: погрешности переноса изображений и совмещения, отклонения в химических процессах, в толщинах пленок резиста и гравированных пленок, а также отклонения границ соответствующего элемента на носителе изображений (рабочем фотошаблоне или другом носителе информации о топологии).

Множественность действующих факторов, вызывающих отклонения границ, указывает на то, что эти отклонения распределяются по нормальному закону. Если в топологии изделия имеется n критических участков, в которых сдвиг двух соседних границ на величину, большую δ_0 , вызовет брак, то вероятность годности, определяемая процессом литографии [1],

$$P = \left[\operatorname{erf} \left(\frac{\delta_0}{2\sigma_{\Gamma}} \right) \right]^n.$$

Эту вероятность можно представить и как

$$P = (1 - x)^n \approx 1 - nx,$$

где $x = \operatorname{erfc} \left(\frac{\delta_0}{2\sigma_{\Gamma}} \right)$.

Величина nx практически указывает на вероятность брака по вине литографии.

Пользуясь графиком зависимости отношения δ_0/σ_{Γ} от $\lg x$ (рис. 6), можно определить требуемую величину этого отношения для производства БИС соответствующего уровня с приемлемым выходом. Например, для динамических ЗУ емкостью 16 кбит число критических участков можно оценить величиной $n = 10^5$. Если ограничиться допустимым уровнем брака по вине литографии $nx \leq 0,1$, то $\delta_0 \geq 9,8 \sigma_{\Gamma}$. Очевидно, для ЗУ емкостью 1 Мбит ($n \approx 10^7$) требуется $\delta_0 \geq 11,4 \sigma_{\Gamma}$. Величи-

на δ_0 — это тот запас, который приходится закладывать в топологические рисунки ИС, чтобы обеспечить рентабельное их производство. Например, если при последовательном вписывании элементов друг в друга (эмиттер — в базу, контактное окно — в эмиттер и т.д.) причиной брака является наложение границ, то δ_0 равно зазору на совмещение, который закладывается в топологию. Или если какой-либо параметр компонента выходит за допустимые пределы при отклонении его относительных размеров на величину, большую ϵ , то минимальный размер элементов $l_m \geq \epsilon \delta_0$.

Таким образом, среднее квадратичное отклонение границ гравированных элементов σ_{Γ} определяет возможности получения требуемой плотности размещения компонентов на кристалле для экономически целесообразного производства БИС соответствующего уровня интеграции. Для оценки плотности размещения компонентов можно пользоваться формулой, выведенной с учетом геометрии трехэлектродного компонента:

$$p_K \leq \frac{1}{(3\epsilon + W_1)(\epsilon + W_1)\delta_0^2}, \quad (1)$$

где W_1 — число операций литографии до металлизации.

Рассмотрим возможные пути повышения p_K .

В настоящее время не ожидается дальнейшего значительного снижения числа операций литографии, которое по крайней мере в МОП-структурах сведено до значений $W_1 = 2 \div 4$, равно как и в уменьшении величины ϵ . Дальнейшее повышение плотности размещения компонентов возможно лишь путем увеличения разрешения процесса литографии, т.е. уменьшения среднего квадратичного отклонения границ σ_{Γ} .

В отклонении границ гравированных элементов можно выделить три составляющие:

$$\sigma_{\Gamma}^2 = \sigma_{\Pi}^2 + \sigma_{\text{Р}}^2 + \sigma_{\text{С}}^2,$$

где σ_{Π} характеризует качество передачи изображения на резист, покрывающий полупроводниковую пластину; $\sigma_{\text{Р}}$ — отклонения границ в носителе информации, с которого передается изображение; $\sigma_{\text{С}}$ — погрешности выполнения операции переноса изображений, в частности погрешности совмещения.

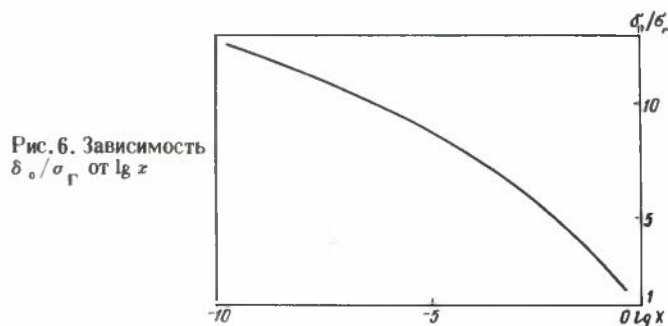


Рис. 6. Зависимость δ_0/σ_{Γ} от $\lg x$

За счет дифракционных явлений, недостаточной коллимации в теневых методах и аббераций в проекционных системах резкий край предмета передается в изображении несколько размытым (рис. 7). Можно указать два таких значения освещенности края E_1 и E_2 , при которых из-за разброса в толщине и чувствительности пленки резиста, отклонений в длительности экспозиции и общем уровне освещенности, в параметрах проявления и травления граница гравированного элемента будет находиться где-то между X_1 и X_2 . Участок, ограниченный этими значениями, называют зоной неопределенности края. Ширина зоны неопределенности края Δx зависит, с одной стороны, от размытости изображения края, с другой — от уровня развития технологии литографии, который определяет значения E_1 и E_2 . На предприятиях с недостаточным контролем технологии значения E_1 и E_2 следует выбирать на уровне $0,1 E_0$ и $0,9 E_0$ (Δx_2 на рис. 7). Если технология литографии хорошо отработана и контролируется, то можно ограничиться зоной $(0,2-0,8) E_0$, а при переходе к высококачественной технологии — зоной $(0,3-0,7) E_0$.

Зона неопределенности края — это зона вероятных отклонений положения границы гравированного элемента, вызванных недостаточной четкостью передачи изображения края фигуры. Следовательно, ширина зоны неопределенности края определяет величину σ_{Π} . Можно считать $\Delta x = (4-6) \sigma_{\Pi}$.

В таблице приведены значения $\sigma_{\Pi} = 0,25 \Delta x$ для проекционной литографии через объектив с апертурой $A' = 0,35$ при использовании излучения с длиной волны $\lambda_1 = 436$ нм, $\lambda_2 = 360$ нм и $\lambda_3 = 260$ нм.

Уровень технологии фотолитографии	σ_{Π} , мкм		
	λ_1	λ_2	λ_3
Низкий	0,15	0,125	0,09
Высокий	0,1	0,08	0,06
Высококачественная технология	0,06	0,05	0,04

Несколько сложнее определить величину σ_{Π} для электронно-лучевой литографии, так как для нее еще нет установившихся резистов и технологических процессов, а размытость края, особенно вы-

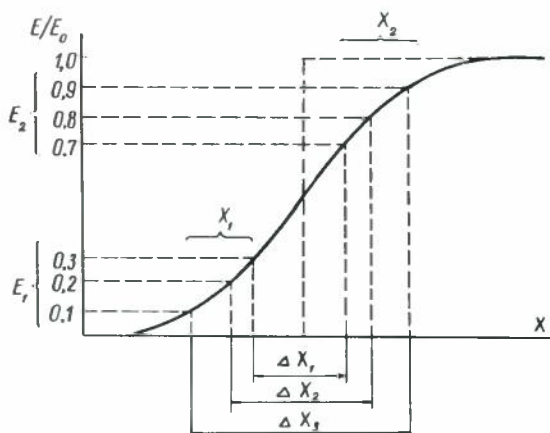


Рис. 7. Влияние уровня контроля технологии процесса литографии на ширину зоны неопределенности края

званная рассеянием отраженных электронов, в значительной мере зависит от типа резиста и технологии его нанесения. Анализ имеющихся публикаций показывает, что для пленок ПММА толщиной не менее 0,5 мкм размытость края можно оценить величиной $\sigma_{\Pi} = 0,05 \div 0,1$ мкм.

При рентгеновской печати размытость изображения края фигур мала, так что $\sigma_{\Pi} \approx 0$.

Вторая составляющая отклонений границ гравированных элементов σ_p , связанная с отклонениями границ элементов в носителе информации (например, на фотошаблоне), с которого изображение переносится на полупроводниковую пластину, в основном зависит от числа ступеней в процессе формирования масок. Поскольку на каждой ступени изображения могут формироваться в различном масштабе, соответственно изменяются и требования к точности формирования изображений, так что для общих оценок можно считать, что каждая ступень вносит примерно одинаковые отклонения, среднеквадратичное значение которых обозначим σ_l . Тогда

$$\sigma_p = \sigma_l \sqrt{M-1},$$

где M — число ступеней формирования масок.

С развитием микроэлектроники, совершенствованием оборудования и отработкой технологии литографии величина σ_l непрерывно уменьшалась.

Можно считать, что к настоящему времени достигнут уровень $\sigma_l \approx 0,07$ мкм.

При использовании мультиплицированных рабочих шаблонов, т.е. при $M = 4$ (генерирование изображений, мультипликация, копирование, совмещение и печать на полупроводниковых пластинах), величина $\sigma_p = 0,12$ мкм. При использовании непосредственно эталонных шаблонов $\sigma_p = 0,10$ мкм, при мультипликации на кремний $\sigma_0 = 0,07$ мкм. Очевидно, при генерировании изображений на кремний $\sigma_p = 0$, так как промежуточный носитель изображений отсутствует.

Третья составляющая σ_c , относящаяся к погрешностям выполнения операции переноса изображений на полупроводниковую пластину, зависит от метода выполнения этого переноса и самой литографии, а также от оборудования, на котором она осуществляется. При контактной фотопечати две причины вызывают отклонения границ: погрешности совмещения фотошаблона с кремниевой пластиной и изменения размеров, связанные с отклонениями температуры, кривизной пластин и др. Для установок контактной фотопечати можно считать $\sigma_c = 0,07 \div 0,13$ мкм. Проекционные сканирующие установки фотопечати дают несколько большие отклонения, которые можно оценить величиной $\sigma_c = 0,15 \div 0,2$ мкм.

Сейчас в производстве БИС происходит освоение нового метода фотолитографии — мультипли-

кации на кремниевые пластины [2]. Различаются два способа такой мультипликации: совмещение и мультипликация (СМ) и распечатка с совмещением на каждом шаге (РСКШ).

В установках СМ пластины сначала базируются относительно координатной системы по нескольким (обычно двум) специальным знакам, затем изображение мультиплицируется, как в обычных фотоповторителях. Следовательно,

$$\sigma_c = \sqrt{\sigma_b^2 + \sigma_M^2},$$

где σ_b — среднеквадратичная погрешность базирования пластины; σ_M — среднеквадратичная погрешность мультипликации.

В установках РСКШ отсутствуют погрешности мультипликации и отклонения определяются только погрешностями совмещения на каждом шаге. Однако при этом требуется в каждом модуле иметь специальные знаки совмещения. Обычно эти знаки располагаются в промежутках между модулями, где пластины разрезаются на кристаллы. Их трудно защищать от повреждений в процессе литографии, точность наведения на них значительно ниже, чем на специальные большие многозвенные знаки. Как показывает первый опыт работы с установками совмещения и мультипликации, величина $\sigma_c < 0,1$ мкм.

Таким образом, возможности повышения разрешения процесса литографии сводятся к дальнейшему уменьшению ширины зоны неопределенности края (σ_n) при одновременном уменьшении числа ступеней формирования масок M до двух или даже одной. Это позволяет решить проблему генерирования изображений на кремниевые пластины и таким образом снизить влияние предшествующих операций на положение границ гравированных элементов (σ_p), а также обеспечить высокую повторяемость положения гравированных границ при переносе или генерировании изображений на кремниевые пластины (σ_c).

Пути развития процесса литографии. Рассмотрим перспективы развития оптической, электронно-лучевой и рентгеновской литографии.

Оптическая литография. В фотолитографии сейчас используются три метода переноса изображений: теневой, проекционный в масштабе 1:1 и проекционный с уменьшением в 4–10 раз. Ведутся работы по генерированию изображений непосредственно на кремниевые пластины.

Методы теневой фотопечати (контактные и "с зазором") остаются основными методами переноса изображений на полупроводниковые пластины в производстве ИС. Несмотря на такие недостатки, как повышенный брак из-за дефектов фотошаблонов и недостаточное разрешение, достоинства этих методов — простота, дешевизна и освоенность в производстве — заставляют искать пути их совершенствования.

При хорошо отработанной технологии литографии неопределенность края при контактной печати можно оценивать величиной $\sigma_n < 0,1$ мкм. При

переходе в более коротковолновую область ультрафиолетового излучения эту величину можно уменьшить примерно в два раза. Однако в контактной фотопечати основным источником отклонения границ гравированных элементов является неточность выполнения рабочих фотошаблонов (σ_p), так как

быстрый износ фотошаблонов заставляет применять дешевые низкокачественные рабочие копии.

Только в производстве дорогостоящих приборов, для которых можно делать дорогостоящие рабочие фотошаблоны, переход в более коротковолновую область ультрафиолетового излучения при контактной фотопечати может дать заметный эффект. Практически нет перспектив повышения плотности размещения компонентов при использовании печати "с зазором". Среднеквадратичный разброс положения границ элементов из-за размытости края изображения $\sigma_n \geq 0,3$ мкм.

С середины 70-х годов получили распространение установки сканирующего проекционного переноса изображений в масштабе 1:1. В них используется зеркальный объектив с дугообразным полем, охватывающим всю пластину. Относительно малая числовая апертура этого объектива определяет значительную размытость края изображения ($\sigma_n \geq 0,25$ мкм). Повышение разрешения оптики за счет увеличения апертуры практически невозможно, так как при этом уменьшается глубина резкости, которая не перекрывает кривизну пластин.

Некоторое улучшение разрешения возможно при использовании более коротковолнового ультрафиолетового излучения [3].

Больше перспектив у проекционного переноса изображений с уменьшением, известного как метод мультипликации на кремний. Относительно несложно свести к незначительной величине составляющую отклонений границ, определяемую носителем информации ($\sigma_p \approx 0$). Несколько сложнее уменьшить составляющую σ_n , связанную с размытостью края изображения. Сейчас для мультипликации на кремний используются объективы с числовой апертурой до $A' = 0,35$. Дальнейшее увеличение апертуры приводит к неразрешимым проблемам из-за весьма малой глубины резкости (менее микрона).

Снижение размытости края путем использования коротковолнового излучения связано с рядом технических трудностей, поскольку пока в этой области спектра хорошо изучены свойства лишь кварцевого стекла и флюорита. Известные фоторезисты нечувствительны к излучению на довольно широком участке спектра (240–300 нм). Однако эти трудности вполне преодолимы, а при переходе от $\lambda = 436$ до 260 нм, как видно из таблицы, величина σ_n уменьшается почти в два раза. Все это позволяет довести плотность размещения трехэлектродных компонентов до 10^5 мм⁻², в то время как при существующей технологии контактной печати $p_k \leq 2 \cdot 10^3$ мм⁻². (Расчет производился по формуле (1) для $\epsilon = 3$, $W_1 = 3$ и $\delta_0 = 10 \sigma_T$).

Существенный выигрыш можно получить при генерировании изображений непосредственно на кремниевые пластины, так как при этом требуется малое поле объектива (до 0,1–0,2 мм), в то время как при мультипликации на кремний диаметр поля объектива должен быть не менее 8 мм. При малом поле практически исключается абберация формы, появляется возможность более точно позиционировать изображения, так что величина σ_c может быть доведена до 0,05 мкм. Кроме того, малое поле позволяет создать более качественную оптику, так что величина σ_{Π} может быть доведена до 0,02–0,03 мкм, при тех же исходных данных расчетная плотность размещения компонентов будет составлять $p_k \approx 5 \cdot 10^5 \text{ мм}^{-2}$.

Однако переход к генерированию изображений непосредственно на кремниевые пластины связан с необходимостью резкого повышения производительности генераторов изображений. Существующие генераторы изображений для изготовления промежуточных оригиналов имеют производительность около 4–5 тыс. экспозиций в час. Если предположить, что на каждый трехэлектродный элемент требуется около двух экспозиций, то такие генераторы изображений при существующей сейчас плотности размещения компонентов будут экспонировать 1 мм² в час, т.е. пластина диаметром 76 мм будет экспонироваться около 4,5 тыс.ч.

Предстоит решить проблему повышения производительности генераторов изображений в десятки тысяч раз. Требуется новый подход к методам генерирования изображений, методам управления потоком излучения, точности и динамике механических устройств.

Электролитография. Фактически с первых же дней появления микроэлектроники начались поиски путей использования электронно-лучевой литографии в производстве ИС. За прошедшие два десятилетия в электролитографии достигнуты значительные успехи. Но электролитография не превзошла фотолитографию по эффективности.

В последние годы исследовались методы проекционного электронного переноса изображений в масштабе 1:1, перенос с уменьшением 10:1 и мультипликацией (аналог оптической мультипликации на кремний) и генерирование изображений на кремний. При проекционном переносе в масштабе 1:1 используется шаблон-фотокатод. Эмиттируемые им электроны переносятся в поле соленоида на кремниевую пластину. Трудности повышения разрешения и точности на больших полях делают этот метод бесперспективным для будущего перехода к СВИС.

Несколько лучше перспектива у метода проекционного переноса с уменьшением, при использовании которого поле изображения значительно меньше. Основная трудность этого метода – искажение формы изображения. Кроме того, отклонения границ элементов вызывают внешние и паразитные внутренние электрические и магнитные поля, полностью избавиться от которых практически невозможно. Так что этот метод можно рас-

смагивать перспективным в производстве таких изделий, где не требуется точное совмещение (например, в производстве ЦМД приборов).

Гораздо больше надежд связывают с электронно-лучевым генерированием изображений на кремний. Известные методы электронно-лучевого генерирования изображений разделяются на два вида: с векторным и растровым сканированием, причем каждый вид в зависимости от способа формирования электронного пучка разделяется на методы с гауссовским и прямоугольным пятном, а векторное сканирование допускает еще формирование пятна изменяемых размеров.

Основными факторами, ограничивающими производительность электронно-лучевых генераторов изображений, сегодня являются низкие чувствительность электронорезистов и плотность тока острогофокусированного луча. В этом отношении некоторые преимущества имеют системы с векторным сканированием, в которых электронный луч сканирует только участки, требующие экспонирования, в то время как при растровом сканировании луч проходит всю площадь пластины.

Однако малое поле отклонения луча у растровых генераторов изображений позволяет более простыми средствами и дешевле обеспечить большую точность позиционирования электронного пятна, получить меньшее значение σ_c .

В установках с векторным сканированием поле отклонения электронного луча составляет 1×1 мм (во многих даже больше – 2×2 мм). Системы отклонения, построенные обычно на цифроаналоговых преобразователях, должны обеспечить, с одной стороны, высокое быстродействие (до десятков мегагерц), с другой – исключительную высокую точность, так как для получения $\sigma_c < 0,1$ мкм их погрешности должны составлять тысячные доли процента. Требуемую точность обеспечить довольно трудно.

К настоящему времени практически уже созданы электронно-лучевые установки, по разрешению вполне пригодные для генерирования изображений на кремний. Остановка за созданием электронорезистов с высоким разрешением и высокой чувствительностью.

Рентгенолитография. Отсутствие рентгеновской оптики позволяет использовать в рентгенолитографии только теньевую печать. Поэтому практически исключается возможность генерирования изображений с помощью рентгеновских лучей.

Рентгенолитография имеет две основные особенности: очень короткую длину волны, благодаря чему σ_{Π} уменьшается до незначительной величины, и нечувствительность к пыли, которая позволяет несколько снизить брак по дефектам. Малые размеры тела излучения и отсутствие явления дифракции при размерах элементов передаваемого изображения более 0,3–0,5 мкм позволяют использовать в рентгенолитографии печать с зазором, что исключает износ шаблонов и дает возможность изготовить их с высоким качеством, поэтому и величину σ_p тоже можно считать незначительной.

Все погрешности в основном вносятся процессом переноса.

Невозможность коллимировать экспонирующее рентгеновское излучение обычных источников заставляет при переносе изображений с зазором учитывать параллакс. Приходится отодвигать источник на значительные расстояния. На рис. 8 приведена зависимость расстояния от источника излучения до пластины от диаметра передаваемого изображения при среднеквадратичных отклонениях величины зазора (в том числе и из-за неплоскостности пластин) до 2 мкм. Видно, что для переноса изображения диаметром 100 мм (размер пластин будущего десятилетия) источник излучения следует располагать на расстоянии более одного метра. При этом, если считать индикатрису излучения в полусфере равномерной, на шаблон будет попадать менее 0,12% излучения, т.е. такие установки имеют низкую производительность.

Эффективность рентгенолитографии можно повысить методом, близким к оптической мультипликаци на кремний. Изготавливается не весь шаблон, а только его часть (один или несколько модулей) так, чтобы диаметр экспонируемого поля составлял 20–30 мм. При этом расстояние можно снизить до 300 мм и примерно в 10 раз увеличить процент использования излучения. Пластины следует перемещать с помощью координатного стола с устройствами совмещения и последовательно экспонировать различные участки пластины.

Единственное достоинство метода — потребность в шаблоне меньшего размера, что очень важно, если учесть трудности изготовления и дороговизну рентгеновских шаблонов. Производительность при этом не повышается. С точки зрения разрешения преимущество этого метода по сравнению с полным экспонированием является то, что в нем слабо сказывается деформация пластин. Естественно, такая установка сложнее обычных установок совмещения.

Прогнозы развития литографии. 15 лет в производстве ИС безраздельно господствовал теневой метод переноса изображений на кремниевые пластины. И только в середине 70-х годов началось применение проекционных методов переноса изображений (рис. 9), доля которых с тех пор непрерывно возрастает. Можно ожидать, что этот рост будет продолжаться примерно до середины 80-х годов (до уровня 40–50%). Основанием для такого прогноза является то, что пока это единственный путь снижения потерь от дефектов фотопластин в производстве БИС, следовательно, переход с ИС на БИС, а в дальнейшем на СБИС будет сопровождаться соответствующим переходом от теневой фотопечати к проекционной.

Можно ожидать, что к концу первой четверти этого десятилетия будут решены основные проблемы генерирования изображений на кремниевые пластины и начнется его внедрение в производство СБИС. Темпы внедрения будут определяться увеличением рентабельности производства тех или иных изделий методом генерирования изображений на кремний, т.е. тем, насколько более низкая

производительность генераторов изображений по сравнению с производительностью установок переноса изображений, их более высокая стоимость компенсируются высокими параметрами изделий, которые можно с их помощью получить. Из двух видов

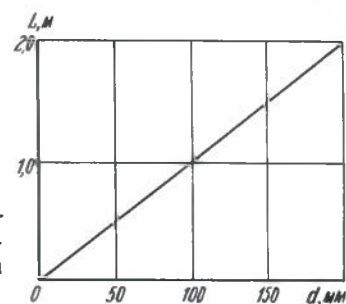


Рис. 8. Зависимость расстояния источника рентгеновского излучения до пластины от диаметра изображения

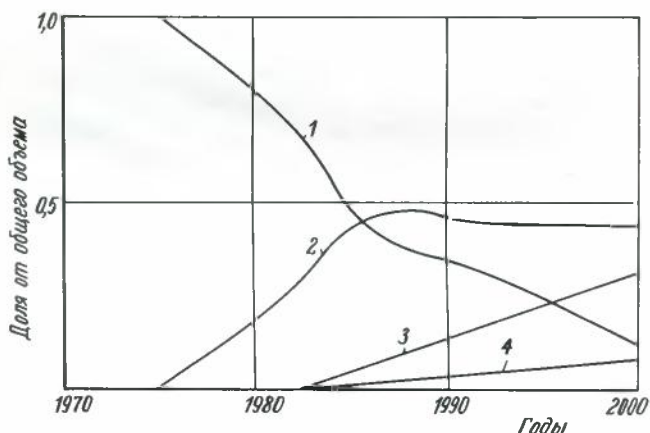


Рис. 9. Развитие литографии в микрoeлектронике: 1 — теневая печать; 2 — проекционная печать; 3 — УФ генерирование изображений; 4 — электронно-лучевое генерирование изображений

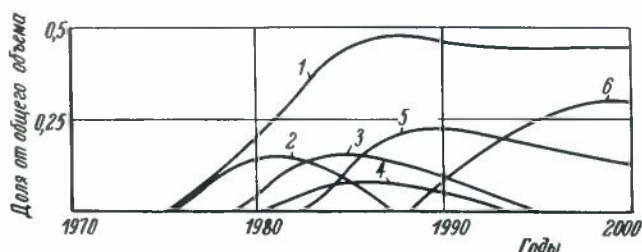


Рис. 10. Развитие проекционной литографии (1) и ее методов: СПИ, $\lambda = 360\text{--}440$ нм (2); МНК, $\lambda = 400\text{--}440$ нм (3); СПИ, $\lambda = 200\text{--}300$ нм (4); МНК + СПИ, $\lambda = 250\text{--}270$ нм (5); МНК + СПИ, $\lambda = 100\text{--}150$ нм (6)

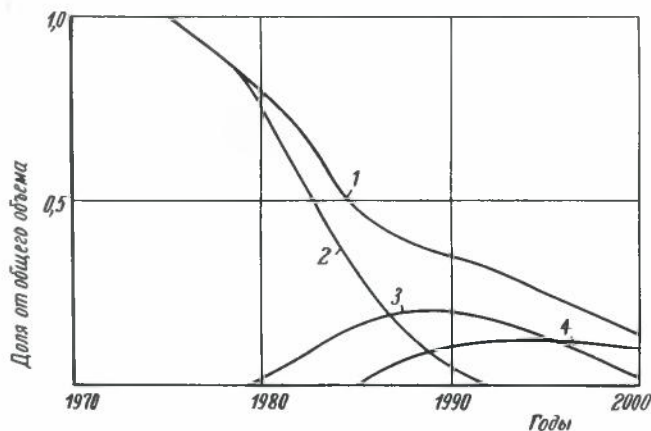


Рис. 11. Развитие теневой литографии (1) и ее методов: фотопечать контактная с зазором, $\lambda = 360\text{--}440$ нм (2); контактная УФ печать, $\lambda = 100\text{--}260$ нм (3); рентгенолитография (4)

установок генерирования изображений на кремний — электронно-лучевых и оптических, которые обеспечивают примерно одинаковые параметры масок на пластинах, — очевидно, оптические будут внедряться быстрее, так как они более помехоустойчивы, просты и дешевы в эксплуатации.

Проекционный перенос изображений сейчас может осуществляться двумя методами (рис. 10): сканирующий перенос изображений (СПИ) зеркальным объективом с использованием излучения в диапазоне 360–440 нм (кривая 1) и мультипликация на кремний (СМНК) с использованием излучения в диапазоне 400–440 нм (кривая 3). Ожидается переход на более короткую длину волны, что позволит продлить жизнь метода сканирующего переноса изображений (кривая 4) до 90-х годов.

Переход на более короткую длину волны при мультипликации на кремний связан со значительными техническими трудностями создания ультрафиолетовых высокоразрешающих объективов с большими полями для экспонирования полных модулей. Возможным решением является использование в одной установке обоих методов — мультипликации на кремний и сканирующего переноса изображений при экспонирующем излучении в диапазоне длин волн 250–270 нм (кривая 5) и 100–150 нм (кривая 6).

Предстоят изменения и в теневой фотопечати (рис. 11). Очевидно, современная фотопечать, контактная и с зазором, использующая излучение в диапазоне 360–440 нм (кривая 2), в ближайшие годы начнет уступать свое место контактной печати с использованием более коротковолновой области УФ. Можно ожидать, что в будущем десятилетия этот метод получит некоторое развитие (кривая 3). Не исключено, что удастся найти выход из трудностей, с которыми связана проблема применения рентгеновского излучения для переноса изображений в микроэлектронике. Тогда возможен небольшой подъем в использовании рентгенолитографии (кривая 4).

Приведенный анализ тенденций развития литографии базируется на исследовании качественных изменений в электронике, роста степени интеграции и плотности упаковки и возможностей их обеспечения. Поэтому показанный общий характер развития литографии и сроки внедрения новых методов можно считать достаточно обоснованными. Что касается определения значимости каждого метода в будущем, то авторы во многом опирались на интуицию, так что в этой части не исключены отклонения, поскольку могут появиться новые эффективные решения.

ЛИТЕРАТУРА

1. Глазков И.М. Оборудование для производства фотошаблонов и выполнения операций фотолитографии. — М.: Советское радио, 1975, 72 с.
2. Райман Я.А. Мультипликация изображения на кремний. — Электронная промышленность, 1978, вып. 6, с. 5–9.
3. Bossung J., Muraski E. Advances in projection lithography. — Solid State Technology, 1979, vol. 22, N 8, p. 109–112.

Статья поступила 8 января 1980 г.

УДК 621.3.049.77

ПОЛУПРОВОДНИКОВАЯ МИКРОСХЕМА K558PP11

Энергонезависимое перепрограммируемое запоминающее устройство с электрической сменой информации предназначено для использования в аппаратуре широкого применения, для построения блоков памяти специализированных электронно-вычислительных машин, устройств сбора и обработки информации, автоматики и контроля. Тип корпуса 405.24-2.

ОСНОВНЫЕ ЭЛЕКТРИЧЕСКИЕ ПАРАМЕТРЫ ПРИ $T = 25 \pm 10^\circ\text{C}$

Информационная емкость, бит	1024
Число разрядов в информационном слове	4
Удельная потребляемая мощность в режиме обращения, мВт/бит	0,15
Время хранения информации при отключенном напряжении питания, ч	3000
Число циклов перепрограммирования информации	$1 \cdot 10^4$
Время выборки адреса, мкс	5
Динамический ток потребления (от источника питания $U_{\text{ип1}}$ при частоте обращения 100 кГц), мА	10
Выходное напряжение при $R_{\text{н}} = 6,8 \text{ кОм}$ логического нуля	0,3
логической единицы	2,6

Время выборки адреса — интервал от момента смены адресного кода до появления на выходе микросхемы информации, хранящейся в выбранной ячейке.

Время хранения информации определяется временем, в течение которого микросхема сохраняет состояние, обеспечивающее уровни выходных напряжений, не выходящие за допустимые. По истечении этого времени может быть записана прежняя или новая информация.

МАКСИМАЛЬНО ДОПУСТИМЫЕ ЭЛЕКТРИЧЕСКИЕ ПАРАМЕТРЫ

Напряжение источников питания, В		
$U_{\text{ип1}}$	$\geq -12,6$	$\leq -11,4$
$U_{\text{ип2}}$	$\geq 4,75$	$\leq 5,25$
Напряжение сигнала разрешения, В		
высокий уровень	$\geq 4,75$	$\leq 5,25$
низкий уровень	$\geq -31,5$	$\leq -28,5$
Напряжение сигнала адреса, сигнала выходной информации, выбора микросхемы, В		
логической единицы	$\geq 4,75$	$\leq 5,25$
логического нуля	$\geq -0,4$	$\leq 0,4$
Напряжение тактовых сигналов, В		
логической единицы	$\geq 4,75$	$\leq 5,25$
логического нуля	$\geq -12,6$	$\leq -11,4$
Напряжение сигнала при считывании, В		
логической единицы	$\geq 4,75$	$\leq 5,25$
логического нуля	$\geq -0,4$	≤ 0
Напряжение сигнала при записи, В		
логической единицы	$\geq 4,75$	$\leq 5,25$
логического нуля	$\geq -31,5$	$\leq -28,5$
Напряжение сигнала стирания, В		
логической единицы	$\geq 4,75$	$\leq 5,25$
логического нуля	$\geq -31,5$	$\leq -28,5$

Условия эксплуатации — по ГОСТ 18725-73. Диапазон рабочих температур — от -45 до $+70^\circ\text{C}$. Микросхема согласуется с ТТЛ схемами по адресным входам, входу "выбор микросхемы" и информационным выходам — входам через добавочные резисторы.

Н.И. Чечель

Статья поступила 8 января 1980 г.

С. С. Горбач, А. А. Прокопьев

УДК 338.621.38

ЗАДАЧИ СОВЕТОВ ПО ЭКОНОМИЧЕСКОМУ ОБРАЗОВАНИЮ В ДЕЛЕ СОВЕРШЕНСТВОВАНИЯ ХОЗЯЙСТВЕННОГО МЕХАНИЗМА

Настоящий учебный год в системе политического и экономического образования проходит в обстановке повсеместной реализации требований XXV съезда КПСС, постановления ЦК КПСС "О дальнейшем улучшении идеологической, политико-воспитательной работы", мероприятий, намеченных партией и правительством по совершенствованию хозяйственного механизма. Еще более широко изучаются произведения классиков марксизма-ленинизма, труды товарища Л. И. Брежнева, материалы по подготовке XXVI съезда Коммунистической партии Советского Союза.

Постановление ЦК КПСС и Совета Министров СССР "Об улучшении планирования и усилении воздействия хозяйственного механизма на повышение эффективности производства и качества работы" определяет конкретные меры по совершенствованию плановой работы в народном хозяйстве, намечает пути ускорения ввода в действие производственных мощностей и объектов, повышения эффективности капитальных вложений, поднимает роль хозрасчета, экономических рычагов и стимулов, предусматривает дальнейшее развитие демократических начал в планировании.

Перед руководителями организаций и предприятий выдвинуты следующие основные задачи:

— привести заводское нормативное хозяйство в соответствие с достигнутым передовым уровнем затрат, производительности труда, имея в виду приближение индивидуальных норм и нормативов к прогрессивным групповым, подотраслевым и отраслевым;

— развернуть работу по установлению нормативов чистой продукции, роста полной фондоотдачи, прироста численности на единицу фондов на вновь вводимых площадях, экономии от снижения себестоимости на рубль производственных фондов, затрат заработной платы на единицу продукции, собственных оборотных средств;

— обеспечить составление и периодическое уточнение паспортов на каждое объединение (предприятие).

Эта работа требует перестройки организации экономической учебы, ее конкретизации, усиления связи с хозяйственными задачами, решаемыми на предприятии, ставит новые требования перед советами по экономическому образованию.

В целях обеспечения систематической и целенаправленной работы по претворению в жизнь основных положений постановления ЦК КПСС и Совета Министров СССР пересмотрены учебные планы и программы обучения на курсах повышения квалификации директоров и работников, состоящих в резерве на должность директора.

На большинстве предприятий разработаны комплексные планы работ, направленных на выполнение постановления, в которых ряд пунктов касается непосредственно экономической учебы.

В соответствии с рекомендациями Дома политического просвещения МК и МГК КПСС и примерным планом занятий по изучению указанного постановления на предприятиях Москвы и Московской области во всех звеньях проведены собеседования и прочитаны лекции, с которыми перед пропагандистами, руководителями системы политического и экономического образования выступили директора предприятий, объединений, руководители крупных подразделений.

Подготовлен большой отряд квалифицированных пропагандистов: 82% из них имеют высшее образование, 80% работают по личным творческим планам. Многие директора предприятий лично руководят семинарскими занятиями.

В последние годы существенно возросла техническая оснащенность системы экономического образования. Кабинеты по экономике, классы технического обучения используют в своей работе 531 диапроектор, 190 кинопроекторов, 231 магнитофон, 3043 машины для контроля знаний учащихся.

В 1978/1979 учебном году в соответствии с типовым положением на 92% предприятий и организаций работали советы по экономическому образованию, в состав которых

входят руководители кадровых и экономических служб, представители общественных организаций, ведущие специалисты, организаторы технического обучения.

В ознаменование 110-й годовщины со дня рождения В. И. Ленина проведен смотр-конкурс на лучший кабинет экономического образования, в ходе которого существенно улучшилась постановка экономической учебы на предприятиях, созданы новые кабинеты по экономике, разработаны методические материалы, отражающие совершенствование хозяйственного механизма в объединениях и на предприятиях. Смотровые комиссии анализировали прежде всего эффективность учебы, ее связь с практическими задачами. В ряде объединений широкое внедрение получили методики анализа экономической учебы, использование активных форм проведения занятий. Смотр-конкурс не только позволил выявить лучшие кабинеты по экономике, но и способствовал улучшению этой работы на всех предприятиях отрасли.

Отраслевыми институтами разрабатываются методические пособия по изучению курса "Совершенствование хозяйственного механизма" (срок издания — III квартал 1980 г.) в соответствии с задачами, стоящими перед экономической отраслью, особенностями применения новых плановых и отчетных показателей, системы хозрасчета и требованиями к кадрам в новых условиях.

Важно, чтобы экономическая учеба работников всех категорий: рабочих, бригадиров, мастеров, начальников участков, смен, цехов, отделов — стала объектом пристального внимания руководителей объединений и предприятий. Необходимо, чтобы планы и программы лекций и семинарских занятий, темы рефератов носили строго конкретный характер, чтобы изучение этих материалов способствовало распространению передовых форм организации труда.

Руководителям предприятий и организаций следует взять под личный контроль изучение курса "Совершенствование хозяйственного механизма", результатом которого должны стать конкретные обязательства, встречные планы коллективов, повсеместное повышение качества работы; широко практиковать подготовку рефератов, в частности по темам:

"Разработка паспортов технико-экономического и социального развития объединений и предприятий как важный фактор повышения уровня обоснованности и стабильности плановых заданий";

"Определение напряженности планов, стимулирование принятия коллективами встречных планов";

"Применение показателя нормативной чистой продукции, совершенствование нормирования на предприятии";

"Применение в НИИ (КБ) хозрасчетной системы заказов-нарядов (договоров)".

Экономическим службам предприятий необходимо продолжать разработку методических пособий, плакатов, схем, иллюстраций в помощь пропагандистам и слушателям курса.

Перед отраслью в настоящее время стоят крупные задачи по досрочному завершению выполнения десятого пятилетнего плана, по достойной встрече XXVI съезда КПСС. Одинадцатая пятилетка наметит новые рубежи, достижение которых потребует дальнейшего роста идейной убежденности, квалификации кадров, их экономической образованности. На этом необходимо сконцентрировать все внимание в деле организации экономической учебы на предприятиях и в объединении отрасли.

ЛИТЕРАТУРА

1. Брежнев Л. И. Речь на Пленуме Центрального Комитета КПСС 27 ноября 1979 г.; Постановление Пленума ЦК КПСС. — М.: Политиздат, 1979. — 31 с.

2. Нормативная чистая продукция: Методические указания о порядке разработки и применения в планировании показателей чистой продукции (нормативной). — Экономическая газета, 1979, № 40, 41.

3. О социалистических обязательствах и встречных планах производственных объединений (предприятий) и организаций на 1980 год. — Экономическая газета, 1980, № 1.

4. Горбач С. С., Прокопьев А. А. Совершенствовать экономическое образование руководящих и инженерно-технических работников отрасли. — Электронная промышленность, 1979, вып. 3(75), с. 72.

5. Потемкин Ю. На подъем! Правда, 1980, 6 января.

Статья поступила 14 марта 1980 г.

ЭП	НОВОСТИ	ЭП
----	---------	----

НОВОСТИ ЗАРУБЕЖНОЙ ЭЛЕКТРОНИКИ

СВЧ техника. На Международной конференции по электронным приборам, проходившей в 1979 г. в Вашингтоне, американские специалисты сообщили о разработке новых приборов миллиметрового диапазона: оротронов, гиротронов, убитронов и пениотронов. Работа *оротрона* основана на взаимодействии ленточного электронного пучка, распространяющегося вдоль металлической дифракционной решетки, с электромагнитным полем открытого резонатора. При условии синхронизации скорости электронов пучка и фазовой скорости волны, распространяющейся вдоль решетки, оротрон генерирует когерентный СВЧ сигнал. Прибор может использоваться в качестве генератора или усилителя СВЧ сигнала. Экспериментальный образец оротрона работает на частоте 75 ГГц. Согласно расчету и предварительным экспериментальным данным, его выходная мощность составит 10 Вт, ширина линии спектра выходного сигнала — менее 0,25 МГц. Прибор сможет перестраиваться в диапазоне частот от 60 до 90 ГГц.

Принцип действия мощных СВЧ приборов миллиметрового диапазона — гиротронов, убитронов и пениотронов — основан на взаимодействии электронного пучка с быстрой электромагнитной волной. Разработанные экспериментальные образцы *гиротронов* бегущей волны предназначены для систем миллиметрового и субмиллиметрового диапазонов. *Убитрон* считается перспективным мощным генератором волн субмиллиметрового и оптического диапазонов, в котором используется релятивистский электронный пучок. *Пениотрон* относится к классу СВЧ приборов, в которых применяются волноводные структуры для активной модуляции поля вдоль траектории электронов, движущихся по круговой орбите.

Сотрудниками научно-исследовательской лаборатории ВМС США разработан уникальный прибор — *гиромонотрон*, представляющий собой однорезонаторный генераторный гиротрон. Гиромонотрон с конусообразным резонатором на частоте 35 ГГц обеспечивает выходную мощность 150 кВт при КПД $\approx 31\%$ и длительности импульса 10 мс. Согласно теоретическим расчетам, КПД прибора может составить 50% [1].

По оценке специалистов фирмы Thomson-CSF (Франция), наиболее важным элементом мощных СВЧ спутниковых систем прямого телевизионного вещания 2-см диапазона являются СВЧ лампы, срок службы которых определяется сроком службы катода. Для увеличения плотности тока эмиссии и срока службы катодов предложено использовать *модифицированные диспенсерные катоды* (типа катодов, покрытых осмием, или осмиево-вольфрамовых матричных катодов). Как показали испытания, рабочая температура таких катодов

примерно на 80°C ниже рабочей температуры обычных диспенсерных катодов (1000°C) при тех же характеристиках. Ожидается, что в ближайшем десятилетии будут созданы коммерческие *импрегнированные катоды* с плотностью тока 10 А/см² и сроком службы более 10 тыс.ч (широко распространенные в настоящее время импрегнированные вольфрамовые диспенсерные катоды при температуре 1035°C обеспечивают плотность тока эмиссии 800 мА/см² и срок службы 100 тыс.ч, а при температуре 1100°C — плотность тока 3 А/см² и срок службы более 20 тыс.ч). Такая же плотность тока, но при большем сроке службы, достигнута для катодов, изготовленных из прессованной смеси порошка вольфрама и скандата бария. Однако эти катоды оказались весьма чувствительными к ионной бомбардировке.

Перспективными считаются *холодные катоды*, плотность тока которых равна 20 А/см², и *катоды tuna Medicus* из смеси никеля со щелочноземельным металлом, спеченной на никелевом керне. Катоды типа *Medicus* характеризуются высокой пластичностью и обеспечивают плотность тока 5 А/см² при температуре 875°C [2].

Полупроводниковые приборы и интегральные схемы. В области полупроводниковых приборов большой объем работ направлен на увеличение рабочей частоты, уменьшение коэффициента шума и обеспечение приемлемого процента выхода годных СВЧ устройств на арсениде галлия.

Значительный интерес представляет транзисторная структура, предложенная специалистами Лаборатории Линкольна Массачусетского технологического института. Она представляет собой эпитаксиальную пленку вольфрама толщиной 30 нм, вытравленную в виде сетки с шагом 320 нм и образующую барьер Шоттки с арсенидом галлия *n*-типа. По принципу работы структура напоминает триод. Величина тока, протекающего от эмиттера к коллектору, регулируется напряжением сетки. Прибор назван *транзистором с проницаемой базой*, поскольку по структуре аналогичен биполярному транзистору. Испытания первых лабораторных образцов показали, что коэффициент усиления транзистора равен 13 дБ на частоте 4 ГГц, предельная частота составляет 17 ГГц (что сопоставимо с параметрами лучших образцов полевых транзисторов на арсениде галлия). В дальнейшем за счет сведения к минимуму паразитных параметров разработчики предполагают создать приборы на предельную частоту 88 ГГц и максимальную частоту 300 ГГц [3].

Исследователями Массачусетского технологического института предложен новый тип полевого МОП-транзистора, названный *транзистором с потоком заряда*, который позволяет определять наличие влаги в окружающей среде. В МОП-структуре металлический затвор заменен тонкопленочным полимером с относительно высоким сопротивлением (в рассматриваемом случае полиаминофенилацетиленом). По мере поглощения влаги сопротивление полимера уменьшается, т.е. с увеличением относительной влажности сопротивление затвора транзистора снижается, а время включения экспоненциально растет. При использовании нового прибора в триггере Шмидта получена 80%-ная корреляция меж-

ду относительной влажностью и временем включения или частотой генерации триггера. Время отклика прибора на изменение относительной влажности составило несколько секунд [4].

В настоящее время фирма Siemens приступила к поставке опытных образцов трех семейств мощных МОП-транзисторов с напряжением перехода сток-исток от 50 до 200 В (ведется разработка приборов на напряжение 1000 В). Время включения и выключения транзисторов — соответственно 30 и 95 нс. Сопротивление во включенном состоянии равно 0,03 Ом при напряжении перехода сток-исток 50 В (против 0,1 Ом для современных МОП-транзисторов). Благодаря небольшому сопротивлению во включенном состоянии транзистор может переключать сигнал мощностью более 5 кВт при чрезвычайно низких потерях. Кроме того, значение входного напряжения переключения транзистора лежит в пределах от 2 до 5 В, что позволяет для непосредственного управления работой транзистора использовать микропроцессоры. До сих пор необходимость применения усилительных схем ограничивала применение мощных МОП-транзисторов совместно с БИС микропроцессоров [5, 6].

Хотя в настоящее время технология изготовления интегральных схем на арсениде галлия находится на начальном этапе освоения, согласно наиболее оптимистичным прогнозам, высказанным на Первом симпозиуме по ИС на GaAs (Лейк Тахо, сентябрь 1979 г.), через пять лет в радиоэлектронной аппаратуре будут применяться аналоговые и цифровые схемы на этом материале. Ожидается, что в ближайшем будущем время задержки сигнала в транзисторе с затвором на основе барьера Шоттки длиной 1 мкм составит 50 пс, длиной 0,25–0,5 мкм — 20 пс (10 пс при охлаждении до 77 К). В 1980 г. предполагается создать ИС с числом вентилях на кристалле 10^3 шт., а к 1983 г. — 10^4 шт. Возможно создание схемы с 10^5 вентилях на кристалле, но сроки появления сейчас трудно указать, поскольку для изготовления такого прибора потребуется значительное усовершенствование технологии обработки арсенида галлия.

К наиболее интересным разработкам в области ИС на транзисторах, работающих в режиме обогащения, следует отнести схему триггера фирмы Hughes с рассеиваемой мощностью 0,053 мВт, занимающую участок с периметром 400 мкм (рассеиваемая мощность в схеме триггера на полевых транзисторах, работающих в режиме обеднения, равна 470 мВт; схема занимает участок с периметром 1200 мкм).

Разработчиками фирмы Thomson-CSF предложена логическая схема на полевых транзисторах с затвором Шоттки, в которой устранена возможность прокола, характерная для приборов, работающих в режиме обогащения. Рассеиваемая мощность равна 1,3 мВт, время задержки распространения сигнала — 110 пс, нагрузочный коэффициент на входе — 17, на выходе — 86.

В области аналоговых ИС на GaAs интерес представляет проводимая специалистами фирм TRW работа по созданию *однокристальной схемы радиоприемника*. Заканчиваются испытания четырехквadrантного аналогового умножителя с полосой пропуска-

ния на ВЧ — 100 ГГц, на ПЧ — 6 ГГц и рассеиваемой мощностью 0,2 Вт. Схема предназначена для работы в X-диапазоне. Разработка *однокристальной схемы приемника* должна быть закончена к 1984 г.

К наиболее интересным разработкам в области GaAs ИС, о которых сообщалось на симпозиуме в Лейк Тахо, относятся:

— парафазный усилитель фирмы Texas Instruments, преобразующий единичный входной сигнал в два усиленных, находящихся в противофазе на выходе;

— ППЗ схема перестраиваемого полосного фильтра и коррелятора, работающих на частоте ~1 ГГц (что на два порядка выше, чем у лучших кремниевых ПЗС);

— метод отжига арсенида галлия без применения защитного покрытия, предложенный фирмой Hughes и являющийся, по мнению разработчиков, перспективным при освоении массового производства GaAs ИС. Он назван методом контроля окружающей среды с помощью расплава. Пластина арсенида галлия в держателе специальной конструкции помещается в одну камеру с насыщенным галлием расплавом арсенида галлия. Пластина не касается расплава, но в процессе отжига расплав выполняет функцию термодинамического резервуара, обеспечивающего постоянное давление паров мышьяка над пластиной и препятствующего ее диссоциации.

Большой интерес к схемам на арсениде галлия не означает, однако, что эти приборы вытеснят кремниевые ИС, хотя они и превзойдут последние по ряду параметров. Кремниевые приборы в дальнейшем будут доминировать на рынке ИС. По мере совершенствования технологии изготовления GaAs ИС появятся устройства, в которых элементы на арсениде галлия будут объединяться с кремниевыми, КНС, ПЗС, оптическими приборами и, возможно, с приборами на переходах Джозефсона, что позволит создать системы обработки сигнала, работающие на частоте синхронизации более 10 ГГц [7–10].

Специалистами фирмы AEG-Telefunken (ФРГ) предложен метод селективного выращивания эпитаксиальных пленок с использованием паров иода в качестве транспортного средства. Процесс выращивания проводится в кварцевой трубке диаметром 7 см и длиной 1 м, внутри которой в одном конце помещается источник кремния и легирующее вещество, в другом — несколько кремниевых подложек. Кристаллы иода размещаются вблизи источника кремния. После загрузки трубка откачивается, запаивается и помещается в диффузионную печь. Хотя пленки толщиной 2 мкм четко очерченной формы и с гладкой поверхностью выращиваются при температур: 600°C (против 1200°C при стандартных методах эпитаксии), для практических целей целесообразно проводить эпитаксию при температуре порядка 700°C. Это объясняется тем, что по мере понижения температуры возрастает зависимость качества эпитаксиальных пленок от свойств поверхности подложки, в результате чего возникает необходимость применения нестандартных методов их очистки. Скорость эпитаксиального роста при температуре 700°C составляет 1 мкм/ч.

Благодаря отсутствию диффузионных процессов с помощью метода низкотемпературной эпитаксии можно получать чрезвычайно резкие *p-n* переходы, поэтому этот метод считается перспективным для изготовления опорных диодов с малым временем восстановления обратного сопротивления при напряжении стабилизации до 2 В. Уже выпущены диоды мощностью 1 мВт и 1 Вт и напряжением стабилизации 6 В [11].

Экспериментальная *I²L* схема фирмы IBM имеет время переключения вентиля 0,8 нс при ширине линий 2,5 мкм. Высокое быстродействие удалось получить благодаря применению низкоомных соединительных линий на кристалле (без увеличения емкости элементов) и самосовмещенных областей базы и коллектора. Коллекторные области *p-p-n* транзисторов, расположенные на верхней поверхности кристалла, соединяются с помощью легированных мышьяком пленок поликристаллического кремния *n⁺*-типа, находящихся в углублениях изолирующего окисного слоя. Такая структура характеризуется большой величиной отношения площадей коллекторного и эмиттерного переходов и малым накоплением заряда в области базы, что обеспечивает высокое быстродействие при достаточно низкой рассеиваемой мощности (10 мкВт на вентиль). Поскольку плотность размещения элементов в схеме в два раза выше, чем в обычных *I²L* схемах, возможен переход к разработке СБИС на ее основе [12, 13].

Специалистами фирмы Rockwell на пластине арсенида галлия изготовлена схема на ПЗС со скрытыми каналами, работающая на тактовой частоте до 500 МГц (до сих пор максимальная рабочая частота ПЗС на арсениде галлия не превышала 135 МГц). Согласно расчетам, максимальная тактовая частота схемы превысит 5 ГГц. Схема представляет собой четырехфазный прибор с затворами на основе барьера Шоттки. Размер затворов — 100х5 мкм, расстояние между ними — 1 мкм. Схема изготовлена на пленке арсенида галлия *n*-типа толщиной 1 мкм, выращенной поверх полупрозрачного арсенида галлия, легированного хромом. Усилитель считывания выполнен на трех полевых транзисторах [14].

Лазерная техника. Специалистами фирмы AEG-Telefunken разработан лазер на арсениде галлия-алюминия с *V*-образным диффузионным слоем, технология изготовления которого намного проще технологии, используемой при изготовлении полупроводниковых лазеров с встроенным волноводом. Диапазон линейной зависимости мощности излучения от рабочего тока лазера равен 25 мВт в непрерывном режиме и несколькими сотням милливатт — в импульсном. Малая ширина области излучения (0,1–0,2 мкм против 6 мкм в существующих лазерах с гетероструктурой) позволяет вводить до 80% мощности излучения лазера в оптическое волокно диаметром 50 мкм с плавно изменяющимся коэффициентом преломления и числовой апертурой 0,2.

Экспериментальный образец размером 80х250х400 мкм излучает в диапазоне длин волн 800–860 мкм. Расходимость лазерного пучка равна 30–40°. По оценкам разработчиков, срок службы прибора составит 1 млн.ч при комнатной темпера-

туре. Лазер прошел испытания в опытной системе оптической связи со скоростью передачи сигналов с кодово-импульсной модуляцией 1 Гбит/с. Такая скорость позволяет вести передачу одновременно по 15 тыс. телефонных каналов. Лазер найдет применение в аналоговой системе связи для передачи ТВ сигналов [15].

Волоконно-оптические системы связи. В настоящее время ведутся разработки *оптических измерителей тока и напряжения в линиях электропередачи*. По мнению специалистов, оптические измерители будут дешевле обычных устройств такого типа. Они позволят повысить чувствительность и расширить диапазон измерений.

В устройстве, предложенном специалистами Управления Бонневильской гидроэнергетической системы, излучение полупроводникового лазера передается по многомодовому волокну с поляризатором на конце и затем проходит через магнитооптический или электрооптический кристаллический преобразователь (в зависимости от того, измеряется ток или напряжение). Угол вращения плоскости поляризации лазерного пучка в кристалле зависит от напряженности электрического или магнитного полей, создаваемых напряжением или током вблизи линии электропередачи. После прохождения пучка через другой поляризатор, где он ослабляется на величину, пропорциональную степени вращения плоскости поляризации, пучок передается по оптическому волокну на детектор интенсивности излучения. Изготовлен опытный образец устройства, испытания которого планировалось провести в начале 1980 г. на одной из электрических подстанций (на напряжение 500 кВ) [16].

Индикаторные устройства. Специалистами фирмы *Bell Lab's* разработана *твердотельная индикаторная ячейка на основе анодированных пленок окиси иридия*, которая в ряде случаев сможет заменить индикаторные ячейки на жидких кристаллах и светодиодах.

В отличие от широко применяемых в электрохромных индикаторах пленок триоксида вольфрама анодированные пленки окиси иридия не деградируют при попадании воды на ячейку и характеризуются примерно в 20 раз большим быстродействием. Изменение цвета под действием электрических импульсов от бледно-голубого до темно-синего происходит за ~10 мс, что сравнимо с быстродействием жидких кристаллов и лучших органических электрохромных материалов. Пленки окиси иридия в отличие от жидких кристаллов сохраняют окраску после прекращения подачи электрического напряжения (эффект оптической памяти) и характеризуются химической стойкостью. Благодаря таким свойствам анодированные пленки окиси иридия весьма перспективны для создания индикаторов пассивного типа [17].

Использование нового способа выращивания кристаллов и новой конструкции корпуса специалистам фирмы General Instrument позволило получить *светодиоды с высокой яркостью свечения и большим углом обзора*. Сила света равна 100 мкд при выходной мощности 0,5 Вт, т.е. соответствует силе света сверхминиатюрных ламп накаливания при

такой же мощности и примерно в 10 раз превышает силу света обычных светодиодов. Угол обзора новых светодиодов равен 140° . Диоды изготавливаются на эпитаксиальных пленках арсенида-фосфида галлия, выращенных на подложках из фосфида галлия, и монтируются попарно в специальные корпуса. В ближайшее время начнется выпуск новых приборов с оранжевым и желтым свечением (с помощью фильтров можно выделить красное свечение), а в будущем предполагается создать светодиоды с зеленым свечением [18].

В настоящее время наметилась тенденция к расширению областей применения *флуоресцентных индикаторов*, которые использовались в основном в калькуляторах. Это объясняется появлением плоских стеклянных многоцифровых (до 80 знаков) флуоресцентных устройств, а также уменьшением их напряжения возбуждения. Специалистами фирмы Industrial Electronic Engineers (США) создан индикатор, работающий от одного 5 В — источника (вместо двух источников с напряжением 1,8–5 В и 12–35 В в обычных флуоресцентных индикаторах). Индикатор воспроизводит одну строку из 40 знаков высотой 0,5 см, каждый знак образован матрицей 5x7 точек. Для возбуждения индикатора используется схема процессора, которая размещается на одной с ним плате. Яркость индикатора размером 27,0x7,6x2,5 см равна 340 кд/м².

Специалистами фирмы "Ниппон дэнки" изготовлен *двухцветный индикатор уровня громкости стереосистем*, воспроизводящий знаки зеленого и красного цветов. Разработка многоцветных индикаторов сдерживается отсутствием люминофоров, обеспечивающих свечение любого цвета, за исключением сине-зеленого. Кроме того, для возбуждения таких индикаторов требуется высокое напряжение [19, 20].

Вычислительная техника. Разработки в области СБИС приведут к созданию новой архитектуры ЭВМ. Например, фирма ICL (Великобритания) изготавливает опытные образцы распределенного матричного процессора, быстродействие которого в 50–100 раз превышает быстродействие ЭВМ с традиционной архитектурой. К 1982 г. появятся полностью цифровые системы, способные обрабатывать не только цифровую, но и речевую и факсимильную информацию. Значительное снижение стоимости обработки информации и хранения единицы информации за последние десять лет привело к широкому использованию домашних ЭВМ и информационно-поисковой системы Viewdata. По данным промышленных экспертов, к 1985 г. центральные процессоры и периферийное оборудование будут выполняться на основе СБИС, уровень интеграции которых составит 10^6 вентилей на кристалле размером 4x4 мм.

В области разработок *внешней памяти большого объема* намечается тенденция к вытеснению электромеханических ЗУ и постепенному переходу к более дешевым, компактным и надежным ЗУ на ЦМД или ПЗС. Использование ЗУ на ПЗС в дисковых ЗУ в качестве буферной памяти значительно увеличит их быстродействие. По данным фирмы Creative Strategies в конце 1980 г. появятся ЗУ на дисках диаметром ~9 см (против ~20 см для стандарт-

ных дисков) и емкостью 1 Мбайт. Разработки ведутся по пути увеличения плотности записи до ~4000 бит/см, что на 30% выше плотности записи в современных электромеханических ЗУ [21–24].

Специалисты фирмы IBM готовятся к испытанию основных логических элементов и схем ЭВМ, выполняемых на переходах Джозефсона. Время переключения логических схем (в машине будет использовано ~4 тыс. таких схем) равно 35–40 пс (минимальное время переключения самых быстродействующих кремниевых биполярных схем ~1 нс), а энергопотребление — несколькими микроваттам (существующие полупроводниковые схемы потребляют мощность в несколько милливатт), что позволяет значительно повысить плотность размещения элементов без чрезмерного перегрева работающих систем.

Каждая схема ЗУ емкостью 2 кбит содержит 4,5 тыс. переходов Джозефсона. Четыре или восемь схем разместятся на печатных платах размером 30x15 мм, смонтированных на соединительной плате (соединительная плата будет содержать 32 печатные платы). Две соединительные платы образуют модуль. ЭВМ будет выполнена на 22 модулях и заключена в блок со стороной квадрата основания 14 см. Производительность такой машины составит $7 \cdot 10^7$ операций в секунду. В настоящее время самая производительная ЭВМ фирмы IBM выполняет ~ $3 \cdot 10^6$ операций в секунду.

Согласно заявлению главы Центра научных исследований фирмы IBM, использование переходов Джозефсона является единственной возможностью, которая позволит значительно улучшить параметры ЭВМ, изготовленных по кремниевой технологии. С другой стороны, специалисты фирмы Gray Laboratories Inc. считают, что появление промышленных БИС на арсениде галлия позволит к концу 80-х годов создать супер-ЭВМ, способную конкурировать с ЭВМ на переходах Джозефсона [25, 26].

ЛИТЕРАТУРА

1. Microwaves, 1979, vol. 18, N 12, p. 10–12.
2. Microwave System News, 1980, vol. 10, N 1, p. 21, 23.
3. Electronics, 1979, vol. 52, N 25, p. 129, 130.
4. Electronics, 1980, vol. 53, N 4, p. 50, 52.
5. Electronics, 1980, vol. 53, N 6, p. 92, 93.
6. Electronics, 1980, vol. 53, N 5, p. 63.
7. Microwaves, 1979, vol. 18, N 12, p. 20–23.
8. MSN, 1979, vol. 9, N 11, p. 15–25.
9. EDN, 1979, vol. 24, N 22, p. 37–49.
10. Electronics Industry, 1980, vol. 6, N 1, p. 24–28.
11. Electronics, 1980, vol. 53, N 3, p. 59, 60.
12. Electronic Engineering Times, 1980, N 172, p. 19.
13. Electronics Weekly, 1980, N 1006, p. 7.
14. Applied Physics Letters, 1980, vol. 36, N 2, p. 151–153.
15. Electronics, 1979, vol. 52, N 26, p. 59, 60.
16. Laser Focus, 1980, vol. 16, N 2, p. 48, 50, 52, 56.
17. Applied Physics Letters, 1979, vol. 35, N 7, p. 565–567.
18. Electronics, 1980, vol. 53, N 5, p. 208.
19. EDN, 1979, vol. 24, N 22, p. 160, 163, 172.
20. JEE, 1980, vol. 17, N 157, p. 67–70.
21. Electronics Weekly, 1980, N 1005, p. 13, 14.
22. Computer, 1979, vol. 12, N 9, p. 92–98.
23. Electronics, 1980, vol. 53, N 1, p. 131, 135.
24. New Electronics, 1980, vol. 13, N 2, p. 15.
25. Electronics, 1980, vol. 53, N 1, p. 41, 42.
26. Electron, 1980, N 218, p. 4.

Н. Д. Гузенкова

ЭЛЕКТРОХИМИЧЕСКАЯ УСТАНОВКА ДЛЯ КОНТРОЛЯ ЭЛЕКТРИЧЕСКИ ДЕФЕКТНЫХ ЭЛЕМЕНТОВ ИС



ОДНОМЕСТНАЯ И ДВУХМЕСТНАЯ УСТАНОВКИ АНОДНОГО ОКИСЛЕНИЯ ПРЕДНАЗНАЧЕНЫ ДЛЯ КОНТРОЛЯ ЭЛЕКТРИЧЕСКОЙ ДЕФЕКТНОСТИ

ДИОДНЫХ И ТРАНЗИСТОРНЫХ СТРУКТУР ИНТЕГРАЛЬНЫХ МИКРОСХЕМ НА СТАДИИ ИХ ПРОИЗВОДСТВА.

Применение фторопластовой кассеты, в которую помещается контролируемая кремниевая пластины со структурой, обеспечивает простоту проведения электрохимической обработки: отпадает необходимость в химической защите анода от коррозии и, как следствие этого, появляется возможность изготовления анода из нержавеющей стали.

Использование кассеты устраняет операции приклеивания металлического диска к обратной стороне кремниевой пластины и защиту воском токоведущих частей электролизера. Это значительно упрощает процесс проведения электролиза и сокращает время на подготовку пластины к окислению.

Принцип построения установки предусматривает возможность увеличения числа рабочих мест.

Установка может служить также и для катодного восстановления металла при электрохимическом контроле разделительного и эмиттерного *p-n* пере-

ходов в *p-p-n* транзисторах. В этом случае верхний электрод, выполняющий функцию анода, изготавливается из графита.

ТЕХНИЧЕСКАЯ ХАРАКТЕРИСТИКА

Диаметр обрабатываемых пластин, мм	40, 60, 76, 100
Время подготовки пластин к электрохимической обработке, мин	5
Время проведения электрохимического процесса (в зависимости от применяемого электролита), мин	2-15
Напряжение источника постоянного тока, В	(5-20) ± 5%
Минимальный размер выявляемого электрически дефектного элемента, мкм	3x3
Чувствительность к повышенному току утечки при уровне напряжения 5 В, А	10 ⁻⁸
Потребляемая мощность одноместной установки при диаметре контролируемой пластины 76 мм, Вт	2
Производительность одноместной установки, пластин в смену	20

На первой странице обложки: блок электроники выводов; вывод результатов контроля БИС на дисплей; система "Элекон СФ" (см. статью на с. 21); на третьей странице обложки: внешний вид и технические характеристики установки, применяемой при контроле БИС (см. статью с. 37).

Ответственные за выпуск *Е. А. Засядько, В. М. Дмитриев*
Художник *В. А. Чернецов* Технический редактор *Г. М. Корнеева*
Цветные фото *Б. В. Борисевича*
Корректоры *А. В. Смирнова, Н. С. Русецкая*



Подписано в печать 31.07.1980 г.

Т-15006 Формат 60x90/8 Объем 9,5 п. л.
Уч.-изд. л. 9 Индекс 3833 14 статей
Заказ 773 Тираж 3900 Цена 2 руб. 90 коп.

Производственно-издательский отдел ЦНИИ "Электроника"

Москва, 117415, проспект Вернадского, 39

ГЕНЕРАТОР ИМПУЛЬСОВ ТОКА ГИТ-14

ПРЕДНАЗНАЧЕН ДЛЯ ПИТАНИЯ МОЩНЫХ СВЕТОДИОДОВ ЛИНЕЕК НАКАЧКИ ТВЕРДОТЕЛЬНЫХ ЛАЗЕРОВ (ЛИНЕЙКА СОБРАНА НА 24 ПОСЛЕДОВАТЕЛЬНО СОЕДИНЕННЫХ СВЕТОДИОДАХ). МОЖЕТ НАЙТИ ШИРОКОЕ ПРИМЕНЕНИЕ В ИЗМЕРИТЕЛЬНОЙ ТЕХНИКЕ, ПРИБОРОСТРОЕНИИ, СВЕТОТЕХНИКЕ.

Прибор состоит из регулируемого тиристорного выпрямителя, работающего в режиме широтно-импульсной модуляции, выходного каскада на мощных транзисторах, работающих в ключевом режиме, делителей частоты на 2, 5, 10 и 100, выполненных на интегральных микросхемах, усилителя-формирователя импульсов на транзисторах и операционных усилителях, пикового вольтметра на полевых транзисторах, электронной схемы защиты.

Предусмотрена плавная регулировка амплитуды и длительности импульсов тока в пределах от 0 до 6,7 А и от 0,5 до 1,5 мс на пяти фиксированных частотах — 1, 10, 20, 50, 100 Гц.

Быстродействующая электронная схема защиты ограничивает амплитуду тока выходных импульсов на уровне 6,7 А, что предотвращает выход из строя прибора, а также светодиодных линеек при коротком замыкании или неправильном подключении нагрузки и обеспечивает надежную работу лазера.



В режиме внутренней синхронизации на делители частоты поступают импульсы, частота повторения которых равна удвоенной частоте питающей сети. В режиме внешней синхронизации импульсы внешнего генератора подаются на вход усилителя-формирователя импульсов.

ТЕХНИЧЕСКАЯ ХАРАКТЕРИСТИКА

Амплитуда импульсов тока, А	0—6,7
Ток срабатывания защиты, А	6,7
Длительность импульса, мс	0,5—1,5
Длительность фронта (спада) импульсов, мкс	не более 5
Неравномерность вершины импульсов, %	не более 5
Частота повторения импульсов внешнего запуска, Гц	0—100
Выходная импульсная мощность, Вт	0—700
Потребляемая мощность, Вт	не более 100
Напряжение питания, В	220 ± 10%
Габариты, мм	290x208x117
Масса, кг	4

Агеев В. Ю., Греков Е. Н., Понарин В. Г.

ГЕНЕРАТОР ОДИНОЧНЫХ ИМПУЛЬСОВ ЛИНЕЙНО-ИЗМЕНЯЮЩЕГОСЯ НАПРЯЖЕНИЯ

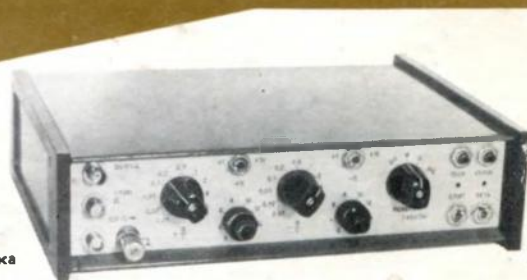
УДК 621.373.14

Импульсы линейно-изменяющегося со временем напряжения довольно широко используются в исследовательской работе, например в полупроводниковой электронике или ядерной физике.

Предлагаемый генератор сочетает в себе возможность генерации одиночных импульсов большой амплитуды с малыми скоростями линейного изменения выходного напряжения.

Регулировка скоростей нарастания и спада выходного напряжения, а также амплитуд положительного и отрицательного импульсов осуществляются раздельно. Генератор имеет защиту от короткого замыкания по выходу, а также возможность остановки процесса генерации в любой момент времени, при этом скорость изменения выходного напряжения не превышает 0,5 мВ/с.

Благодаря широкому динамическому диапазону выходных сигналов генератор позволяет снимать важ-



Техническая характеристика

Скорость нарастания и спада напряжения выходного импульса, В/с	0,01—20
Амплитуда выходного импульса, В	±(1,6—160)
Максимальный ток нагрузки, мА	20
Потребляемая мощность, Вт	30
Габариты, мм	290x200x70
Масса, кг	6

нейшие характеристики МДП-структур, широко используемых в дискретных приборах и интегральных схемах: вольт-амперные, низкочастотные вольт-фарадные, а также неравновесные характеристики, позволяющие выявить области пониженной электрической прочности.

Линейно — возрастающее (убывающее) напряжение вырабатывается интегратором при подаче на его вход отрицательного (положительного) сигнала. Его коммутация осуществляется блоком управления по сигналам с компараторов положительного и отрицательного уровней (КПУ и КОУ), а отключение — по сигналу с компаратора нулевого уровня (КНУ).

Н. И. Гаврилин, Г. Н. Демидова, Э. Н. Журавлев